

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68069

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/108  
21/8242  
27/115  
29/78  
21/8247

H 0 1 L 27/10  
29/78

6 7 1 A  
4 3 4  
3 0 1 X  
3 7 1

審査請求 未請求 請求項の数65 F D (全 47 頁) 最終頁に続く

(21) 出願番号 特願平10-110237

(22) 出願日 平成10年(1998) 4月6日

(31) 優先権主張番号 特願平9-102743

(32) 優先日 平9(1997) 4月4日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-173112

(32) 優先日 平9(1997) 6月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 岩佐 昇一

東京都千代田区大手町2-6-3 新日本  
製鐵株式会社内

(72) 発明者 川俣 達哉

東京都千代田区大手町2-6-3 新日本  
製鐵株式会社内

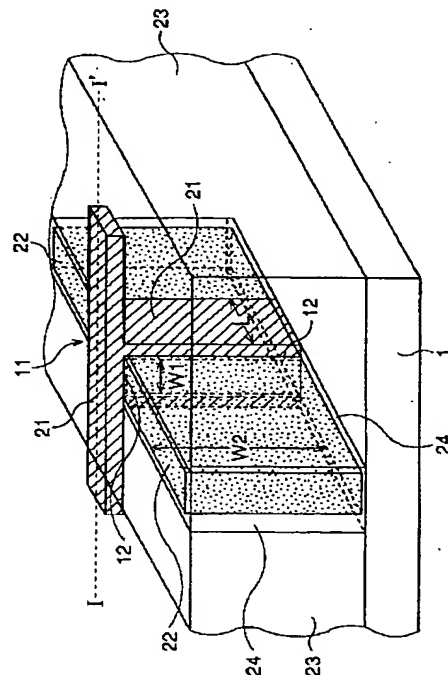
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 一対のソース／ドレインに対応した3つのチャネルを有し、しかも通常のパルク型のトランジスタと同一の半導体基板上に選択的に形成され、超微細構造且つ高駆動能力を有する半導体装置を実現する。

【解決手段】 p型のシリコン半導体基板1の表面に極めて薄い厚みの活性領域となる柱状突起11が加工形成され、柱状突起11の中央部位を覆うゲート電極21と、このゲート電極21の両側における柱状突起11に形成されてなる一対の不純物拡散層22とが形成され、柱状突起11の側面を挟持して埋め込む素子分離用絶縁膜23が形成されて、S O I構造と等価の高機能性を有するM O Sトランジスタが構成される。



1

## 【特許請求の範囲】

【請求項 1】 表面に柱状突起が一体形成されてなる形状に加工された半導体基板と、  
前記柱状突起の表面の略中央部位を覆うように第 1 の絶縁膜を介してパターン形成されてなる導電膜と、  
前記導電膜の両側の前記柱状突起内に不純物が導入されてなり一対の拡散領域と、  
前記柱状突起を側面から埋め込むように前記半導体基板上に形成された第 2 の絶縁膜とを有しており、  
前記導電膜は、前記第 2 の導電膜上に延びて形成された延長部を備えることを特徴とする半導体装置。

【請求項 2】 前記柱状突起内の所定部位に前記導電膜と交差して前記柱状突起を上下に 2 分する埋め込み絶縁層を有し、  
前記柱状突起の前記埋め込み絶縁層から上部が前記半導体基板から電氣的に分離されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記柱状突起の厚みが  $0.15\ \mu\text{m}$  以下であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記柱状突起の前記埋め込み絶縁層から上部までの高さが  $0.1\ \mu\text{m}$  以下であることを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 5】 前記導電膜は、前記柱状突起の表面の略中央部位を覆うように前記第 1 の絶縁膜を介してパターン形成された島状の第 1 の電極と、前記第 1 の電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記第 1 の電極と対向して延在する第 2 の電極とを備え、  
前記導電膜、前記一対の拡散領域からメモリセルが構成されていることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記メモリセルが、3 つ以上の異なるしきい値から選択された 1 つのしきい値に対応してデータを記憶する多値メモリセルであることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 キャパシタを備え、  
前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを備え、  
前記下部電極は、前記一対の拡散領域のどちらか一方と接続されていることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 8】 表面に柱状突起が一体形成されてなる形状に加工された半導体基板と、  
前記柱状突起の各側面の略中央部位を覆うように第 1 の絶縁膜を介して形成され、互いに電氣的に分離されて対向する第 1 の導電膜及び第 2 の導電膜と、  
前記柱状突起の上面の略中央部位を覆うように第 2 の絶縁膜を介して形成され、前記第 1 及び第 2 の導電膜と電氣的に分離されてなる第 3 の導電膜と、

2

前記第 1、第 2 及び第 3 の導電膜の両側の前記柱状突起内に不純物が導入されてなる一対の拡散領域と、  
前記柱状突起の側面を埋め込むように前記半導体基板上に形成された第 3 の絶縁膜とを有することを特徴とする半導体装置。

【請求項 9】 前記柱状突起の厚みが  $0.15\ \mu\text{m}$  以下であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記第 3 の導電膜と前記第 1 及び第 2 の導電膜との間に、サイドウォール絶縁膜を有することを特徴とする請求項 8 又は 9 に記載の半導体装置。

【請求項 11】 前記第 3 の導電膜は、前記柱状突起の上面の略中央部位を覆うように前記第 2 の絶縁膜を介して形成された島状の第 1 の電極と、前記第 1 の電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記第 1 の電極と対向して延在する第 2 の電極とを備え、  
前記第 3 の導電膜、前記一対の拡散領域からメモリセルが構成されていることを特徴とする請求項 8 ～ 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】 前記メモリセルが、3 つ以上の異なるしきい値から選択された 1 つのしきい値に対応してデータを記憶する多値メモリセルであることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 キャパシタを備え、  
前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを備え、  
前記下部電極は、前記一対の拡散領域のどちらか一方と接続されていることを特徴とする請求項 8 ～ 10 のいずれか 1 項に記載の半導体装置。

【請求項 14】 表面に柱状突起が一体形成された形状に加工されてなる半導体基板と、  
前記柱状突起の各側面の略中央部位を覆うように第 1 の絶縁膜を介して形成され、前記第 1 の絶縁膜及び前記柱状突起を介して互いに電氣的に分離されて対向する第 1 の導電膜及び第 2 の導電膜と、  
前記柱状突起の上部の表面領域及び前記第 1 の絶縁膜を介した前記第 1 及び第 2 の導電膜の下部の前記半導体基板の表面領域にそれぞれ不純物が導入されてなる各拡散領域と、  
前記柱状突起の側面を埋め込むように前記半導体基板上に形成された第 2 の絶縁膜とを有することを特徴とする半導体装置。

【請求項 15】 前記柱状突起の上部の表面領域に形成された前記拡散領域と電氣的に接続されてなる第 3 の導電膜を更に有することを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】 前記第 3 の導電膜と前記第 1 及び第 2 の導電膜との間に、サイドウォール絶縁膜を有することを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】 前記柱状突起の上面にパターン形成さ

れた第 3 の絶縁膜を更に有することを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 8】 前記第 1 及び第 2 の導電膜の幅と前記柱状突起の幅が略同一とされていることを特徴とする請求項 1 4 ～ 1 7 のいずれか 1 項に記載の半導体装置。

【請求項 1 9】 前記柱状突起の厚みが 0. 1 5  $\mu$ m 以下であることを特徴とする請求項 1 4 ～ 1 8 のいずれか 1 項に記載の半導体装置。

【請求項 2 0】 ゲート電極及びソース／ドレインを備えてなる半導体装置において、半導体基板の表面が素子活性領域として機能する柱状突起を有する形状に加工され、前記柱状突起の表面の略中央部位を覆うようにゲート絶縁膜を介して前記ゲート電極が形成されているとともに、

前記ゲート電極の両側の前記柱状突起内に不純物が導入されて前記ソース／ドレインが形成されており、前記柱状突起の側面を埋め込むように前記半導体基板上に素子分離用絶縁膜が形成されており、前記ゲート電極は、前記素子分離用絶縁膜上に延びて形成された延長部を有し、前記延長部は、前記柱状突起の上部領域に形成された前記ゲート絶縁膜上に延びて形成され、前記柱状突起と交差するように配置されており、前記ゲート電極は、前記素子分離用絶縁膜の側面と前記柱状突起の少なくとも一部の側面に形成された前記ゲート絶縁膜との間に形成されていることを特徴とする半導体装置。

【請求項 2 1】 前記柱状突起内の所定部位に前記ゲート電極と交差して前記柱状突起を上下に 2 分する埋め込み絶縁層を有し、

前記柱状突起の前記埋め込み絶縁層から上部が前記半導体基板から電気的に分離されていることを特徴とする請求項 2 0 に記載の半導体装置。

【請求項 2 2】 前記ゲート電極は、前記柱状突起の上面の略中央部位を覆うように前記ゲート絶縁膜を介して形成された島状の浮遊ゲート電極と、前記浮遊ゲート電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記浮遊ゲート電極と対向して延在する制御ゲート電極とを備え、

前記ゲート電極、前記ソース／ドレインからメモリセルが構成されていることを特徴とする請求項 2 0 又は 2 1 に記載の半導体装置。

【請求項 2 3】 前記メモリセルが、3 つ以上の異なるしきい値から選択された 1 つのしきい値に対応してデータを記憶する多値メモリセルであることを特徴とする請求項 2 2 に記載の半導体装置。

【請求項 2 4】 キャパシタを備え、

前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電

極とを備え、

前記下部電極は、前記ソース／ドレインのどちらか一方と接続されていることを特徴とする請求項 2 1 又は 2 2 に記載の半導体装置。

【請求項 2 5】 半導体基板に、第 1、第 2 及び第 3 のゲート電極とこれら第 1、第 2 及び第 3 のゲート電極に共通のソース及びドレインとを有する第 1、第 2 及び第 3 のトランジスタを備えてなる半導体装置であって、前記半導体基板は、表面に素子活性領域として機能する柱状突起を有する形状に加工されており、

前記第 1 及び第 2 のゲート電極は、前記柱状突起の表面の略中央部位を覆うように第 1 のゲート絶縁膜を介して互いに電気的に分離されて対向するように形成されており、

前記第 3 のゲート電極は、前記柱状突起の上面の略中央部位を覆うように第 2 のゲート絶縁膜を介して形成され、前記第 1 及び第 2 のゲート電極と電気的に分離されるように形成されており、

前記ソース及びドレインは、前記第 1、第 2 及び第 3 のゲート電極の両側の前記柱状突起内に不純物が導入されて形成されており、

前記柱状突起の側面を埋め込むように前記半導体基板上に素子分離用絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 2 6】 前記第 1 のゲート絶縁膜と前記第 2 のゲート絶縁膜とが同一の熱酸化膜であることを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 2 7】 前記第 3 のゲート電極と前記第 1 及び第 2 のゲート電極との間に、サイドウォール絶縁膜を有することを特徴とする請求項 2 5 又は 2 6 に記載の半導体装置。

【請求項 2 8】 前記第 3 のゲート電極は、前記柱状突起の上面の略中央部位を覆うように前記第 2 のゲート絶縁膜を介して形成された島状の浮遊ゲート電極と、前記浮遊ゲート電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記浮遊ゲート電極と対向して延在する制御ゲート電極とを備え、

前記第 3 のゲート電極、前記ソース及びドレインからメモリセルが構成されていることを特徴とする請求項 2 5 ～ 2 7 のいずれか 1 項に記載の半導体装置。

【請求項 2 9】 前記メモリセルが、3 つ以上の異なるしきい値から選択された 1 つのしきい値に対応してデータを記憶する多値メモリセルであることを特徴とする請求項 2 8 に記載の半導体装置。

【請求項 3 0】 キャパシタを備え、

前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを備え、

前記下部電極は、前記ソース及びドレインのどちらか一方と接続されていることを特徴とする請求項 2 5 ～ 2 7

5

のいずれか 1 項に記載の半導体装置。

【請求項 3 1】 半導体基板に、第 1 及び第 2 のゲート電極とこれら第 1 及び第 2 のゲート電極に共通のソース及びドレインとを有する第 1 及び第 2 のトランジスタを備えてなる半導体装置であって、前記半導体基板は、表面に素子活性領域として機能する柱状突起を有する形状に加工されており、前記第 1 及び第 2 のゲート電極は、前記柱状突起の表面の略中央部位を覆うようにゲート絶縁膜を介して互いに電気的に分離されて対向するように形成されており、前記ソースは、前記柱状突起の下部の前記半導体基板の表面領域に不純物が導入されて形成されており、前記ドレインは、前記柱状突起の上部の表面領域に不純物が導入されて形成されて形成されており、前記柱状突起の側面を埋め込むように前記半導体基板上に素子分離用絶縁膜が形成されていることを特徴とする半導体装置。

【請求項 3 2】 前記柱状突起の上部の表面領域に形成された前記ドレインと電気的に接続されてなる配線膜を更に有することを特徴とする請求項 3 1 に記載の半導体装置。

【請求項 3 3】 前記配線膜と前記第 1 及び第 2 の導電膜との間に、サイドウォール絶縁膜を有することを特徴とする請求項 3 2 に記載の半導体装置。

【請求項 3 4】 半導体基板上にエッチング速度の低い第 1 の絶縁膜を形成する第 1 の工程と、前記第 1 の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第 2 の工程と、

前記柱状突起及び前記第 1 の絶縁膜の側面のみに前記第 2 の絶縁膜を形成する第 3 の工程と、

前記柱状突起及び前記第 1 の絶縁膜を埋め込む膜厚に第 3 の絶縁膜を形成し、前記第 1 の絶縁膜をストッパーとして前記第 3 の絶縁膜を研磨する第 4 の工程と、

前記第 1 の絶縁膜とともに前記第 2 及び第 3 の絶縁膜の一部を除去する第 5 の工程と、

前記第 2 の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第 6 の工程と、

前記狭隙の内壁を覆う第 4 の絶縁膜を形成する第 7 の工程と、

前記狭隙内を前記第 4 の絶縁膜を介して埋め込むように前記第 3 の絶縁膜上に導電膜を形成し、前記導電膜を所定形状に加工する第 8 の工程と、

前記柱状突起内に不純物を導入し、前記導電膜の両側に一对の拡散領域を形成する第 9 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 5】 前記第 6 の工程の後に、全面に酸素イオン注入を施し、熱処理することで前記柱状突起内の所

6

定部位に前記柱状突起を上下に 2 分する酸化層を形成する第 10 の工程を更に有し、

前記柱状突起の前記埋め込み絶縁層から上部を前記半導体基板から電気的に分離することを特徴とする請求項 3 4 に記載の半導体装置の製造方法。

【請求項 3 6】 前記第 8 の工程において、前記導電膜を、前記狭隙内を前記第 4 の絶縁膜を介して埋め込み前記第 3 の絶縁膜上で島状となるように加工し、

前記導電膜の表面を覆うように第 5 の絶縁膜を形成し、前記第 5 の絶縁膜を介して前記導電膜を覆うように更なる導電膜を形成した後、当該更なる導電膜及び前記第 5 の絶縁膜を所定形状に加工して、

前記導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記第 5 の絶縁膜からなる容量絶縁膜を介して対向する前記更なる導電膜からなる制御ゲート電極を形成することを特徴とする請求項 3 4 又は 3 5 に記載の半導体装置の製造方法。

【請求項 3 7】 前記第 9 の工程の後に、前記一对の拡散領域の一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第 11 の工程を更に有することを特徴とする請求項 3 4 又は 3 5 に記載の半導体装置の製造方法。

【請求項 3 8】 前記第 2 の工程において、前記柱状突起の厚みを  $0.15\ \mu\text{m}$  以下とすることを特徴とする請求項 3 4～3 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 3 9】 前記第 10 の工程において、前記柱状突起の前記埋め込み絶縁層から上部までの高さが  $0.1\ \mu\text{m}$  以下となるように酸素イオン注入を行うことを特徴とする請求項 3 5～3 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 4 0】 半導体基板上にエッチング速度の低い第 1 の絶縁膜を形成する第 1 の工程と、

前記第 1 の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第 2 の工程と、

前記柱状突起及び前記第 1 の絶縁膜の側面のみに前記第 2 の絶縁膜を形成する第 3 の工程と、

前記柱状突起及び前記第 1 の絶縁膜を埋め込む膜厚に第 3 の絶縁膜を形成し、前記第 1 の絶縁膜をストッパーとして前記第 3 の絶縁膜を研磨する第 4 の工程と、

前記第 1 の絶縁膜とともに前記第 2 及び第 3 の絶縁膜の一部を除去する第 5 の工程と、

前記第 2 の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第 6 の工程と、

前記狭隙の内壁を覆う第 4 の絶縁膜を形成する第 7 の工程と、

7

前記狭隙内を前記第4の絶縁膜を介して埋め込むように前記第3の絶縁膜上に第1の導電膜を形成し、所定形状に加工する第8の工程と、

前記第1の導電膜をマスクとして、前記柱状突起内に不純物を導入して一対の拡散領域を形成する第9の工程と、

前記第1の導電膜を加工して、前記第4の絶縁膜を介した前記柱状突起上で前記第1の導電膜を分断する第10の工程と、

前記柱状突起の上面と前記第4の絶縁膜を介して対向するとともに、前記第1の導電膜と絶縁してなる第2の導電膜をパターン形成する第11の工程とを有することを特徴とする半導体装置の製造方法。

【請求項41】 前記第8の工程において、前記第1の導電膜上に第5の絶縁膜を形成し、前記第5の絶縁膜とともに前記第1の導電膜を所定形状に加工し、

前記第10の工程において、前記第1の導電膜とともに前記第5の絶縁膜を加工して溝部を形成することにより、前記第1の導電膜を分断し、

前記第11の工程において、前記溝部内で露出した少なくとも前記第1の導電膜の側壁に第6の絶縁膜を形成し、前記第6の絶縁膜を介して前記第2の導電膜を形成することを特徴とする請求項40に記載の半導体装置の製造方法。

【請求項42】 前記第11の工程の後に、前記一対の拡散領域の一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第12の工程を更に有することを特徴とする請求項40又は41に記載の半導体装置の製造方法。

【請求項43】 半導体基板上に第1の絶縁膜をパターン形成した後、前記第1の絶縁膜を覆うように第2の絶縁膜を形成する第1の工程と、

前記第2の絶縁膜の全面を異方性エッチングして、前記第1の絶縁膜の側面のみに前記第2の絶縁膜を残す第2の工程と、

前記第1の絶縁膜のみを選択的に除去する第3の工程と、

前記第2の絶縁膜をマスクとして前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第4の工程と、

前記柱状突起の側面のみに前記第3の絶縁膜を形成する第5の工程と、

前記柱状突起及び前記第2の絶縁膜を埋め込む膜厚に第4の絶縁膜を形成し、前記第2の絶縁膜をストッパーとして前記第4の絶縁膜を研磨する第6の工程と、

前記第2の絶縁膜とともに前記第3及び第4の絶縁膜の一部を除去する第7の工程と、

前記第3の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の近傍の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出さ

8

せる第8の工程と、

前記狭隙の内壁を覆う第5の絶縁膜を形成する第9の工程と、

前記狭隙内を前記第5の絶縁膜を介して埋め込むように前記第4の絶縁膜上に導電膜を形成し、所定形状に加工する第10の工程と、

前記導電膜をマスクとして、前記柱状突起内に不純物を導入して一対の拡散領域を形成する第11の工程とを有することを特徴とする半導体装置の製造方法。

【請求項44】 前記第8の工程の後に、全面に酸素イオン注入を施し、熱処理することで前記柱状突起内の所定部位に前記柱状突起を上下に2分する酸化層を形成する第12の工程を更に有し、

前記柱状突起の前記埋め込み絶縁層から上部を前記半導体基板から電気的に分離することを特徴とする請求項43に記載の半導体装置の製造方法。

【請求項45】 前記第10の工程において、前記導電膜を、前記狭隙内を前記第5の絶縁膜を介して埋め込み前記第4の絶縁膜上で島状となるように加工し、

前記導電膜の表面を覆うように第6の絶縁膜を形成し、前記第6の絶縁膜を介して前記導電膜を覆うように更なる導電膜を形成した後、当該更なる導電膜及び前記第6の絶縁膜を所定形状に加工して、

前記導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記第6の絶縁膜からなる容量絶縁膜を介して対向する前記更なる導電膜からなる制御ゲート電極を形成することを特徴とする請求項43又は44に記載の半導体装置の製造方法。

【請求項46】 前記第11の工程の後に、前記一対の拡散領域の一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第13の工程を更に有することを特徴とする請求項43又は44に記載の半導体装置の製造方法。

【請求項47】 半導体基板上にエッチング速度の低い第1の絶縁膜を形成する第1の工程と、

前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、

前記柱状突起及び前記第1の絶縁膜の側面のみに前記第2の絶縁膜を形成する第3の工程と、

前記柱状突起及び前記第1の絶縁膜を埋め込む膜厚に第3の絶縁膜を形成し、前記第1の絶縁膜をストッパーとして前記第3の絶縁膜を研磨する第4の工程と、

前記第1の絶縁膜とともに前記第2及び第3の絶縁膜の一部を除去する第5の工程と、

前記第2の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、

9

前記狭隙の内壁を覆う第4の絶縁膜を形成する第7の工程と、

全面に不純物を導入して、前記柱状突起の上部の表面領域及び前記半導体基板の表面領域にそれぞれ拡散層を形成する第8の工程と、

前記狭隙内を前記第4の絶縁膜を介して埋め込むように前記第3の絶縁膜上に第1の導電膜を形成する第9の工程と、

前記第1の導電膜を加工して、前記第1の導電膜を分断する第10の工程とを有することを特徴とする半導体装置の製造方法。

【請求項48】 前記第6の工程の後、前記第7の工程の前に、前記第3の絶縁膜の上部を除去する第11の工程を更に有し、

前記第10の工程において、前記柱状突起の上面をストッパーとして前記第1の導電膜を研磨し、前記第1の導電膜を分断することを特徴とする請求項47に記載の半導体装置の製造方法。

【請求項49】 前記第10の工程の後、前記第1の導電膜を覆う第5の絶縁膜を形成する第12の工程と、前記第5の絶縁膜及び前記第4の絶縁膜を加工して、前記柱状突起の上面の一部を露出させる第13の工程と、露出した前記柱状突起の上面を含む前記第5の絶縁膜上に第2の導電膜をパターン形成し、前記第2の導電膜と前記柱状突起の上部の表面領域に形成された前記拡散層とを電気的に接続する第14の工程とを更に有することを特徴とする請求項47又は48に記載の半導体装置の製造方法。

【請求項50】 前記第9の工程において、前記第1の導電膜上に第6の絶縁膜を形成し、

前記第10の工程において、前記第1の導電膜とともに前記第6の絶縁膜を加工して溝部を形成することにより、前記第1の導電膜を分断し、

前記第10の工程の後、前記溝部内で露出した少なくとも前記第1の導電膜の側壁に第7の絶縁膜を形成する第15の工程と、

露出した前記柱状突起の上面を含む前記第6及び第7の絶縁膜上に第2の導電膜をパターン形成し、前記第2の導電膜と前記柱状突起の上部の表面領域に形成された前記拡散層とを電気的に接続する第16の工程とを更に有することを特徴とする請求項47又は48に記載の半導体装置の製造方法。

【請求項51】 ゲート電極及びソース／ドレインを備えた半導体装置の製造方法において、半導体基板上にエッチング速度の低いキャップ絶縁膜を形成する第1の工程と、

前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、

前記柱状突起及び前記キャップ絶縁膜の側面のみにサイ

10

ドウォール絶縁膜を形成する第3の工程と、

前記柱状突起及び前記キャップ絶縁膜を埋め込む膜厚に素子分離用絶縁膜を形成し、前記キャップ絶縁膜をストッパーとして前記素子分離用絶縁膜を研磨する第4の工程と、

前記キャップ絶縁膜とともにサイドウォール絶縁膜及び前記素子分離用絶縁膜の一部を除去する第5の工程と、前記サイドウォール絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、

前記狭隙の内壁を覆うゲート絶縁膜を形成する第7の工程と、

前記狭隙内を前記ゲート絶縁膜を介して埋め込むように前記素子分離用絶縁膜上に導電膜を形成する第8の工程と、

前記導電膜をゲート電極形状にパターンニングする第9の工程と、

前記導電膜をマスクとして、前記柱状突起内に不純物を導入してソース／ドレインを形成する第10の工程とを有することを特徴とする半導体装置の製造方法。

【請求項52】 前記第6の工程の後に、全面に酸素イオン注入を施し、熱処理することで前記柱状突起内の所定部位に前記柱状突起を上下に2分する酸化層を形成する第11の工程を更に有し、

前記柱状突起の前記埋め込み絶縁層から上部を前記半導体基板から電気的に分離することを特徴とする請求項51に記載の半導体装置の製造方法。

【請求項53】 前記第8の工程において、

前記導電膜を、前記狭隙内を前記ゲート絶縁膜を介して埋め込み前記素子分離用絶縁膜上で島状となるように加工し、

前記導電膜の表面を覆うように容量絶縁膜を形成し、前記容量絶縁膜を介して前記導電膜を覆うように更なる導電膜を形成した後、当該更なる導電膜及び前記容量絶縁膜を所定形状に加工して、

前記導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記容量絶縁膜を介して対向する前記更なる導電膜からなる制御ゲート電極を形成することを特徴とする請求項51又は52に記載の半導体装置の製造方法。

【請求項54】 前記第9の工程の後に、前記ソース／ドレインの一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第12の工程を更に有することを特徴とする請求項51又は52に記載の半導体装置の製造方法。

【請求項55】 半導体基板に、第1、第2及び第3のゲート電極とこれら第1、第2及び第3のゲート電極に共通のソース及びドレインとを有する第1、第2及び第3のトランジスタを備えた半導体装置の製造方法であって、



11

前記半導体基板上にエッチング速度の低いキャップ絶縁膜を形成する第1の工程と、

前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、

前記柱状突起及び前記キャップ絶縁膜の側面のみにサイドウォール絶縁膜を形成する第3の工程と、

前記柱状突起及び前記キャップ絶縁膜を埋め込む膜厚に素子分離用絶縁膜を形成し、前記キャップ絶縁膜をストッパーとして前記素子分離用絶縁膜を研磨する第4の工程と、

前記キャップ絶縁膜とともにサイドウォール絶縁膜及び前記素子分離用絶縁膜の一部を除去する第5の工程と、

前記サイドウォール絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、

前記狭隙の内壁を覆うゲート絶縁膜を形成する第7の工程と、

前記狭隙内を前記ゲート絶縁膜を介して埋め込むように前記素子分離用絶縁膜上に第1の導電膜を形成し、所定形状に加工する第8の工程と、

前記第1の導電膜をマスクとして、前記柱状突起内に不純物を導入して前記ソース及び前記ドレインを形成する第9の工程と、

前記第1の導電膜を加工して、前記柱状突起上で前記第1の導電膜を分断して、前記第1及び第2のゲート電極を形成する第10の工程と、

前記第1及び第2のゲート電極上に層間絶縁膜を形成し、前記層間絶縁膜を加工して前記柱状突起の上面に形成された前記ゲート絶縁膜の一部のみを露出させる第11の工程と、

露出した前記ゲート絶縁膜を含む前記層間絶縁膜上に第2の導電膜を形成し、当該第2の導電膜を加工して前記第3のゲート電極をパターン形成する第12の工程とを有することを特徴とする半導体装置の製造方法。

【請求項56】 前記第12の工程において、前記第2の導電膜を、前記ゲート絶縁膜上で島状となるように加工し、

前記第2の導電膜の表面を覆うように容量絶縁膜を形成し、

前記容量絶縁膜を介して前記第2の導電膜を覆うように第3の導電膜を形成した後、当該第3の導電膜及び前記容量絶縁膜を所定形状に加工して、

前記第2の導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記容量絶縁膜を介して対向する前記第3の導電膜からなる制御ゲート電極を形成することを特徴とする請求項55に記載の半導体装置の製造方法。

【請求項57】 前記第12の工程の後に、前記ソース／ドレインの一方の上に容量絶縁膜を介して対向してな

12

るキャパシタ電極を形成する第13の工程を更に有することを特徴とする請求項55に記載の半導体装置の製造方法。

【請求項58】 半導体基板に、第1及び第2のゲート電極とこれら第1及び第2のゲート電極に共通のソース及びドレインとを有する第1及び第2のトランジスタを備えた半導体装置の製造方法であって、

前記半導体基板上にエッチング速度の低いキャップ絶縁膜を形成する第1の工程と、

前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、

前記柱状突起及び前記キャップ絶縁膜の側面のみにサイドウォール絶縁膜を形成する第3の工程と、

前記柱状突起及び前記キャップ絶縁膜を埋め込む膜厚に素子分離用絶縁膜を形成し、前記キャップ絶縁膜をストッパーとして前記素子分離用絶縁膜を研磨する第4の工程と、

前記キャップ絶縁膜とともにサイドウォール絶縁膜及び前記素子分離用絶縁膜の一部を除去する第5の工程と、

前記サイドウォール絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、

前記狭隙の内壁を覆うゲート絶縁膜を形成する第7の工程と、

全面に不純物を導入して、前記柱状突起の上部の表面領域に前記ドレインを、前記半導体基板の表面領域に前記ソースをそれぞれ形成する第8の工程と、

前記狭隙内を前記ゲート絶縁膜を介して埋め込むように前記素子分離用絶縁膜上に導電膜を形成する第9の工程と、

前記導電膜を加工して、前記柱状突起上で前記導電膜を分断し、前記第1及び第2のゲート電極を形成する第10の工程とを有することを特徴とする半導体装置の製造方法。

【請求項59】 前記第6の工程の後、前記第7の工程の前に、前記素子分離用絶縁膜の上部を除去する第11の工程を更に有し、

前記第10の工程において、前記柱状突起の上面をストッパーとして前記導電膜を研磨し、前記導電膜を分断することを特徴とする請求項58に記載の半導体装置の製造方法。

【請求項60】 前記第10の工程の後、露出した前記柱状突起の上面及び前記導電膜を覆う層間絶縁膜を形成する第12の工程と、

前記層間絶縁膜を加工して、前記柱状突起の上面の一部を再び露出させる第13の工程と、

露出した前記柱状突起の上面を含む前記層間絶縁膜上に配線膜をパターン形成し、前記配線膜と前記ドレインと

13

を電氣的に接続する第 1 4 の工程とを更に有することを特徴とする請求項 5 8 又は 5 9 に記載の半導体装置の製造方法。

【請求項 6 1】 半導体基板上に素子分離用絶縁膜となる第 1 の絶縁膜を形成する第 1 の工程と、  
前記第 1 の絶縁膜を加工して、前記半導体基板の表面の一部を露出させる溝部を形成する第 2 の工程と、  
前記溝部を埋め込むように、前記第 1 の絶縁膜上を覆う多結晶シリコン膜を形成する第 3 の工程と、  
前記多結晶シリコン膜上に第 2 の絶縁膜を形成する第 4 の工程と、  
前記多結晶シリコン膜及び前記第 2 の絶縁膜を加工し、前記溝部内の前記半導体基板上に前記多結晶シリコン膜からなる柱状突起及び前記柱状突起のキャップ絶縁膜を形成する第 5 の工程と、  
熱処理を施し、前記柱状突起を単結晶化させる第 6 の工程と、  
前記溝内で露出した前記半導体基板の表面及び前記柱状突起の側面に第 3 の絶縁膜を形成する第 7 の工程と、  
前記キャップ絶縁膜を不純物が通過する条件で全面に前記不純物を導入した後、前記キャップ絶縁膜内に不純物が止まる条件で全面に前記不純物を導入して、前記柱状突起の上部の表面領域及び前記半導体基板の表面領域に一对の拡散領域を形成する第 8 の工程と、  
全面に導電膜を形成し、前記導電膜を所定形状に加工する第 9 の工程と、  
前記キャップ絶縁膜をストッパーとして、前記キャップ絶縁膜の表面が露出するまで前記導電膜を研磨し、前記導電膜を分断する第 1 0 の工程とを有することを特徴とする半導体装置の製造方法。  
【請求項 6 2】 半導体基板上に素子分離用絶縁膜となる第 1 の絶縁膜を形成する第 1 の工程と、  
前記第 1 の絶縁膜を加工して、前記半導体基板の表面の一部を露出させる第 1 の溝部を形成する第 2 の工程と、  
前記第 1 の溝部を埋め込むように、前記第 1 の絶縁膜上を覆う多結晶シリコン膜を形成する第 3 の工程と、  
前記多結晶シリコン膜上に第 2 の絶縁膜を形成する第 4 の工程と、  
前記多結晶シリコン膜及び前記第 2 の絶縁膜を加工し、前記第 1 の溝部内の前記半導体基板上に前記多結晶シリコン膜からなり略中央部位を除き前記第 1 の溝部を充填する形状の柱状突起及び前記柱状突起のキャップ絶縁膜を形成する第 5 の工程と、  
熱処理を施し、前記柱状突起を単結晶化させる第 6 の工程と、  
前記第 1 の溝部内で露出した前記半導体基板の表面及び前記柱状突起の前記略中央部位の側面に第 3 の絶縁膜を形成する第 7 の工程と、  
全面に前記第 1 の溝部内の露出部位を埋め込むように第 1 の導電膜を形成する第 8 の工程と、

14

前記第 1 の導電膜及び前記キャップ絶縁膜を加工して、前記第 1 の導電膜及び前記キャップ絶縁膜の両側に前記柱状突起の上面を露出させる第 9 の工程と、  
前記第 1 の導電膜をマスクとして、露出した前記柱状突起の上面から前記柱状突起内に不純物を導入し、一对の拡散層を形成する第 1 0 の工程と、  
前記キャップ絶縁膜をストッパーとして前記第 1 の導電膜を研磨し、前記キャップ絶縁膜により前記第 1 の導電膜を分断する第 1 1 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6 3】 前記第 1 1 の工程の後、前記第 1 の導電膜を覆うように第 4 の絶縁膜を形成する第 1 2 の工程と、  
前記第 4 の絶縁膜、前記第 1 の導電膜及び前記キャップ絶縁膜を加工して、前記柱状突起の上面を露出させる第 2 の溝部を形成する第 1 3 の工程と、  
前記第 2 の溝部内で露出した少なくとも前記第 1 の導電膜の側面を覆う第 5 の絶縁膜を形成する第 1 4 の工程と、  
前記第 2 の溝部を埋め込む第 2 の導電膜をパターン形成する第 1 5 の工程とを更に有することを特徴とする請求項 6 2 に記載の半導体装置の製造方法。

【請求項 6 4】 請求項 6, 1 2, 2 3 及び 2 9 のいずれか 1 項に記載の半導体装置に記憶された多値の記憶情報の判定動作の各ステップが、コンピュータから読み出し可能に格納されていることを特徴とする記録媒体。

【請求項 6 5】 前記容量絶縁膜が強誘電体膜であることを特徴とする請求項 5, 1 1, 2 2 及び 2 8 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、いわゆる DELT A (DEpleted Lean channel TrAnsistor) 型の半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】 近時における更なる微細拡散層及び高集積化の要請に応える半導体素子として、いわゆる DELT A 型の半導体素子が注目されている。この半導体素子は、半導体基板上に素子分離用の絶縁層を介して柱状突起形状の半導体層が形成され、この半導体層の中央部位をゲート絶縁膜を介して覆うゲート電極と、このゲート電極の両側の半導体層に形成されたソース／ドレインとを有した SOI 構造に構成されており、ソース／ドレイン間のチャンネルが空乏化して高駆動能力を有するものである。

【0 0 0 3】 具体的には、例えば特開平 6 - 3 1 0 5 9 5 号公報には、半導体基板内に酸素イオン注入を施して、柱状突起を含む半導体基板の上部を素子分離する手法が開示されている。

【0 0 0 4】 また、例えば特開平 5 - 1 9 8 8 1 7 号公



15

報や特開平 4-294585 号公報には、柱状突起の上部と下部、或いは溝を埋め込むようにゲート電極が形成され、前記溝の底部にソース／ドレインが形成された構造が開示されている。

【0005】また、DELTA 型に類似した半導体装置の一例として、特開平 1-248557 号公報には、半導体基板に形成された柱状突起の側面を囲む形状にゲート電極が形成され、柱状突起の上面及び柱状突起の周囲の半導体基板内にソース／ドレインとなる拡散領域が形成され、柱状突起の上面の拡散領域に接続されるように 10 キャパシタが設けられた半導体装置が開示されている。

【0006】

【発明が解決しようとする課題】しかしながら、特開平 6-310595 号公報に開示された半導体装置においては、LOCOS 法によるフィールド酸化膜のような厚い酸化膜ではないものの、やはり素子分離用絶縁膜を半導体基板に形成しなければならず、製造工程はそれだけ煩雑となることは避けられない。

【0007】また、特開平 5-198817 号公報や特開平 4-294585 号公報に開示された半導体装置は、半導体基板に形成された柱状突起の上下部にソース／ドレインが形成されているのみであり、近時における多チャネル化の要請に応える構成を有していない。 20

【0008】また、特開平 1-248557 号公報に開示された半導体装置においては、異方性エッチングにより、柱状突起の側面を覆うようにゲート電極が形成されるため、ゲート電極の膜厚や形状等を均一に形成することは不可能であり、素子の微細化が進むにつれてゲート電極の形状制御が極めて困難となる。

【0009】そこで、本発明の目的は、一対のソース／ドレインに対応した 3 つのチャネルを有し、しかも通常のバルク型のトランジスタと同一の半導体基板上に選択的に形成され、超微細構造且つ高駆動能力を有する半導体装置及びその製造方法を提供することである。 30

【0010】

【課題を解決するための手段】本発明の半導体装置は、表面に柱状突起が一体形成されてなる形状に加工された半導体基板と、前記柱状突起の表面の略中央部位を覆うように第 1 の絶縁膜を介してパターン形成されてなる導電膜と、前記導電膜の両側の前記柱状突起内に不純物が導入されてなる一対の拡散領域と、前記柱状突起を側面から埋め込むように前記半導体基板上に形成された第 2 の絶縁膜とを有しており、前記導電膜は、前記第 2 の導電膜上に延びて形成された延長部を備える。 40

【0011】本発明の半導体装置の一態様例は、前記柱状突起内の所定部位に前記導電膜と交差して前記柱状突起を上下に 2 分する埋め込み絶縁層を有し、前記柱状突起の前記埋め込み絶縁層から上部が前記半導体基板から電気的に分離されている。

【0012】本発明の半導体装置の一態様例において 50

16

は、前記柱状突起の厚みが  $0.15\mu\text{m}$  以下である。

【0013】本発明の半導体装置の一態様例においては、前記柱状突起の前記埋め込み絶縁層から上部までの高さが  $0.1\mu\text{m}$  以下である。

【0014】本発明の半導体装置の一態様例においては、前記導電膜は、前記柱状突起の表面の略中央部位を覆うように前記第 1 の絶縁膜を介してパターン形成された島状の第 1 の電極と、前記第 1 の電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記第 1 の電極と対向して延在する第 2 の電極とを備え、前記導電膜、前記一対の拡散領域からメモリセルが構成されている。

【0015】この場合、前記メモリセルが、3 つ以上の異なるしきい値から選択された 1 つのしきい値に対応してデータを記憶する多値メモリセルである。

【0016】本発明の半導体装置の一態様例は、キャパシタを備え、前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを備え、前記下部電極は、前記一対の拡散領域のどちらか一方と接続されている。

【0017】本発明の半導体装置は、表面に柱状突起が一体形成されてなる形状に加工された半導体基板と、前記柱状突起の各側面の略中央部位を覆うように第 1 の絶縁膜を介して形成され、互いに電気的に分離されて対向する第 1 の導電膜及び第 2 の導電膜と、前記柱状突起の上面の略中央部位を覆うように第 2 の絶縁膜を介して形成され、前記第 1 及び第 2 の導電膜と電気的に分離されてなる第 3 の導電膜と、前記第 1、第 2 及び第 3 の導電膜の両側の前記柱状突起内に不純物が導入されてなる一対の拡散領域と、前記柱状突起の側面を埋め込むように前記半導体基板上に形成された第 3 の絶縁膜とを有する。

【0018】本発明の半導体装置の一態様例においては、前記柱状突起の厚みが  $0.15\mu\text{m}$  以下である。

【0019】本発明の半導体装置の一態様例は、前記第 3 の導電膜と前記第 1 及び第 2 の導電膜との間に、サイドウォール絶縁膜を有する。

【0020】本発明の半導体装置の一態様例においては、前記第 3 の導電膜は、前記柱状突起の上面の略中央部位を覆うように前記第 2 の絶縁膜を介して形成された島状の第 1 の電極と、前記第 1 の電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記第 1 の電極と対向して延在する第 2 の電極とを備え、前記第 3 の導電膜、前記一対の拡散領域からメモリセルが構成されている。

【0021】この場合、前記メモリセルが、3 つ以上の異なるしきい値から選択された 1 つのしきい値に対応してデータを記憶する多値メモリセルである。

【0022】本発明の半導体装置の一態様例は、キャパシタを備え、前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを備え、前記下部電極は、前記一対の

17

拡散領域のどちらか一方と接続されている。

【0023】本発明の半導体装置は、表面に柱状突起が一体形成された形状に加工されてなる半導体基板と、前記柱状突起の各側面の略中央部位を覆うように第1の絶縁膜を介して形成され、前記第1の絶縁膜及び前記柱状突起を介して互いに電氣的に分離されて対向する第1の導電膜及び第2の導電膜と、前記柱状突起の上部の表面領域及び前記第1の絶縁膜を介した前記第1及び第2の導電膜の下部の前記半導体基板の表面領域にそれぞれ不純物が導入されてなる各拡散領域と、前記柱状突起の側面を埋め込むように前記半導体基板上に形成された第2の絶縁膜とを有する。

【0024】本発明の半導体装置の一態様例は、前記柱状突起の上部の表面領域に形成された前記拡散領域と電氣的に接続されてなる第3の導電膜を更に有する。

【0025】本発明の半導体装置の一態様例は、前記第3の導電膜と前記第1及び第2の導電膜との間に、サイドウォール絶縁膜を有する。

【0026】本発明の半導体装置の一態様例は、前記柱状突起の上面にパターン形成された第3の絶縁膜を更に有する。

【0027】本発明の半導体装置の一態様例においては、前記第1及び第2の導電膜の幅と前記柱状突起の幅が略同一とされている。

【0028】本発明の半導体装置の一態様例においては、前記柱状突起の厚みが0.15 $\mu$ m以下である。

【0029】本発明の半導体装置は、ゲート及びソース／ドレインを備えてなる半導体装置であって、半導体基板の表面が素子活性領域として機能する柱状突起を有する形状に加工され、前記柱状突起の表面の略中央部位を覆うようにゲート絶縁膜を介して前記ゲートが形成されているとともに、前記ゲートの両側の前記柱状突起内に不純物が導入されて前記ソース／ドレインが形成されており、前記柱状突起の側面を埋め込むように前記半導体基板上に素子分離用絶縁膜が形成されており、前記ゲート電極は、前記素子分離用絶縁膜上に延びて形成された延長部を有し、前記延長部は、前記柱状突起の上部領域に形成された前記ゲート絶縁膜上に延びて形成され、前記柱状突起と交差するように配置されており、前記ゲート電極は、前記素子分離用絶縁膜の側面と前記柱状突起の少なくとも一部の側面に形成された前記ゲート絶縁膜との間に形成されている。

【0030】本発明の半導体装置の一態様例は、前記柱状突起内の所定部位に前記ゲートと交差して前記柱状突起を上下に2分する埋め込み絶縁層を有し、前記柱状突起の前記埋め込み絶縁層から上部が前記半導体基板から電氣的に分離されている。

【0031】本発明の半導体装置の一態様例においては、前記ゲートは、前記柱状突起の上面の略中央部位を覆うように前記ゲート絶縁膜を介して形成された島状の

18

浮遊ゲート電極と、前記浮遊ゲート電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記浮遊ゲート電極と対向して延在する制御ゲート電極とを備え、前記ゲート電極、前記ソース／ドレインからメモリセルが構成されている。

【0032】この場合、前記メモリセルが、3つ以上の異なるしきい値から選択された1つのしきい値に対応してデータを記憶する多値メモリセルである。

【0033】本発明の半導体装置の一態様例は、キャパシタを備え、前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成された上部電極とを備え、前記下部電極は、前記ソース／ドレインのどちらか一方と接続されている。

【0034】本発明の半導体装置は、半導体基板に、第1、第2及び第3のゲートとこれら第1、第2及び第3のゲートに共通のソース及びドレインとを有する第1、第2及び第3のトランジスタを備えてなる半導体装置であって、前記半導体基板は、表面に素子活性領域として機能する柱状突起を有する形状に加工されており、前記第1及び第2のゲートは、前記柱状突起の表面の略中央部位を覆うように第1のゲート絶縁膜を介して互いに電氣的に分離されて対向するように形成されており、前記第3のゲートは、前記柱状突起の上面の略中央部位を覆うように第2のゲート絶縁膜を介して形成され、前記第1及び第2のゲートと電氣的に分離されるように形成されており、前記ソース及びドレインは、前記第1、第2及び第3のゲートの両側の前記柱状突起内に不純物が導入されて形成されており、前記柱状突起の側面を埋め込むように前記半導体基板上に素子分離用絶縁膜が形成されている。

【0035】本発明の半導体装置の一態様例においては、前記第1のゲート絶縁膜と前記第2のゲート絶縁膜とが同一の熱酸化膜である。

【0036】本発明の半導体装置の一態様例は、前記第3のゲートと前記第1及び第2のゲートとの間に、サイドウォール絶縁膜を有する。

【0037】本発明の半導体装置の一態様例においては、前記第3のゲートは、前記柱状突起の上面の略中央部位を覆うように前記第2のゲート絶縁膜を介して形成された島状の浮遊ゲート電極と、前記浮遊ゲート電極を覆う容量絶縁膜と、前記容量絶縁膜を介して前記浮遊ゲート電極と対向して延在する制御ゲート電極とを備え、前記第3のゲート電極、前記ソース及びドレインからメモリセルが構成されている。

【0038】この場合、前記メモリセルが、3つ以上の異なるしきい値から選択された1つのしきい値に対応してデータを記憶する多値メモリセルである。

【0039】本発明の半導体装置の一態様例は、キャパシタを備え、前記キャパシタは、下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜上に形成

19

された上部電極とを備え、前記下部電極は、前記ソース及びドレインのどちらか一方と接続されている。

【0040】本発明の半導体装置は、半導体基板に、第1及び第2のゲートとこれら第1及び第2のゲートに共通のソース及びドレインとを有する第1及び第2のトランジスタを備えてなる半導体装置であって、前記半導体基板は、表面に素子活性領域として機能する柱状突起を有する形状に加工されており、前記第1及び第2のゲートは、前記柱状突起の表面の略中央部位を覆うようにゲート絶縁膜を介して互いに電氣的に分離されて対向するように形成されており、前記ソースは、前記柱状突起の下部の前記半導体基板の表面領域に不純物が導入されて形成されており、前記ドレインは、前記柱状突起の上部の表面領域に不純物が導入されて形成されて形成されており、前記柱状突起の側面を埋め込むように前記半導体基板上に素子分離用絶縁膜が形成されている。

【0041】本発明の半導体装置の一態様例は、前記柱状突起の上部の表面領域に形成された前記ドレインと電氣的に接続されてなる配線膜を更に有する。

【0042】本発明の半導体装置の一態様例は、前記配線膜と前記第1及び第2の導電膜との間に、サイドウォール絶縁膜を有する。

【0043】本発明の半導体装置の製造方法は、半導体基板上にエッチング速度の低い第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、前記柱状突起及び前記第1の絶縁膜の側面のみに前記第2の絶縁膜を形成する第3の工程と、前記柱状突起及び前記第1の絶縁膜を埋め込む膜厚に第3の絶縁膜を形成し、前記第1の絶縁膜をストップバーとして前記第3の絶縁膜を研磨する第4の工程と、前記第1の絶縁膜とともに前記第2及び第3の絶縁膜の一部を除去する第5の工程と、前記第2の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、前記狭隙の内壁を覆う第4の絶縁膜を形成する第7の工程と、前記狭隙内を前記第4の絶縁膜を介して埋め込むように前記第3の絶縁膜上に導電膜を形成し、前記導電膜を所定形状に加工する第8の工程と、前記柱状突起内に不純物を導入し、前記導電膜の両側に一对の拡散領域を形成する第9の工程とを有する。

【0044】本発明の半導体装置の製造方法の一態様例は、前記第6の工程の後に、全面に酸素イオン注入を施し、熱処理することで前記柱状突起内の所定部位に前記柱状突起を上下に2分する酸化層を形成する第10の工程を更に有し、前記柱状突起の前記埋め込み絶縁層から上部を前記半導体基板から電氣的に分離する。

【0045】本発明の半導体装置の製造方法の一態様例においては、前記第8の工程において、前記導電膜を、

20

前記狭隙内を前記第4の絶縁膜を介して埋め込み前記第3の絶縁膜上で島状となるように加工し、前記導電膜の表面を覆うように第5の絶縁膜を形成し、前記第5の絶縁膜を介して前記導電膜を覆うように更なる導電膜を形成した後、当該更なる導電膜及び前記第5の絶縁膜を所定形状に加工して、前記導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記第5の絶縁膜からなる容量絶縁膜を介して対向する前記更なる導電膜からなる制御ゲート電極を形成する。

【0046】本発明の半導体装置の製造方法の一態様例は、前記第9の工程の後に、前記一对の拡散領域の一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第11の工程を更に有する。

【0047】本発明の半導体装置の製造方法の一態様例においては、前記第2の工程において、前記柱状突起の厚みを0.15  $\mu\text{m}$ 以下とする。

【0048】本発明の半導体装置の製造方法の一態様例においては、前記第10の工程において、前記柱状突起の前記埋め込み絶縁層から上部までの高さが0.1  $\mu\text{m}$ 以下となるように酸素イオン注入を行う。

【0049】本発明の半導体装置の製造方法は、半導体基板上にエッチング速度の低い第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、前記柱状突起及び前記第1の絶縁膜の側面のみに前記第2の絶縁膜を形成する第3の工程と、前記柱状突起及び前記第1の絶縁膜を埋め込む膜厚に第3の絶縁膜を形成し、前記第1の絶縁膜をストップバーとして前記第3の絶縁膜を研磨する第4の工程と、前記第1の絶縁膜とともに前記第2及び第3の絶縁膜の一部を除去する第5の工程と、前記第2の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、前記狭隙の内壁を覆う第4の絶縁膜を形成する第7の工程と、前記狭隙内を前記第4の絶縁膜を介して埋め込むように前記第3の絶縁膜上に第1の導電膜を形成し、所定形状に加工する第8の工程と、前記第1の導電膜をマスクとして、前記柱状突起内に不純物を導入して一对の拡散領域を形成する第9の工程と、前記第1の導電膜を加工して、前記第4の絶縁膜を介した前記柱状突起上で前記第1の導電膜を分断する第10の工程と、前記柱状突起の上面と前記第4の絶縁膜を介して対向するとともに、前記第1の導電膜と絶縁してなる第2の導電膜をパターン形成する第11の工程とを有する。

【0050】本発明の半導体装置の製造方法の一態様例においては、前記第8の工程において、前記第1の導電膜上に第5の絶縁膜を形成し、前記第5の絶縁膜とともに前記第1の導電膜を所定形状に加工し、前記第10の工程において、前記第1の導電膜とともに前記第5の絶

21

縁膜を加工して溝部を形成することにより、前記第1の導電膜を分断し、前記第11の工程において、前記溝部内で露出した少なくとも前記第1の導電膜の側壁に第6の絶縁膜を形成し、前記第6の絶縁膜を介して前記第2の導電膜を形成する。

【0051】本発明の半導体装置の製造方法の一態様例は、前記第11の工程の後に、前記一対の拡散領域の一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第12の工程を更に有する。

【0052】本発明の半導体装置の製造方法は、半導体基板上に第1の絶縁膜をパターン形成した後、前記第1の絶縁膜を覆うように第2の絶縁膜を形成する第1の工程と、前記第2の絶縁膜の全面を異方性エッチングして、前記第1の絶縁膜の側面のみに前記第2の絶縁膜を残す第2の工程と、前記第1の絶縁膜のみを選択的に除去する第3の工程と、前記第2の絶縁膜をマスクとして前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第4の工程と、前記柱状突起の側面のみに前記第3の絶縁膜を形成する第5の工程と、前記柱状突起及び前記第2の絶縁膜を埋め込む膜厚に第4の絶縁膜を形成し、前記第2の絶縁膜をストッパーとして前記第4の絶縁膜を研磨する第6の工程と、前記第2の絶縁膜とともに前記第3及び第4の絶縁膜の一部を除去する第7の工程と、前記第3の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の近傍の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第8の工程と、前記狭隙の内壁を覆う第5の絶縁膜を形成する第9の工程と、前記狭隙内を前記第5の絶縁膜を介して埋め込むように前記第4の絶縁膜上に導電膜を形成し、所定形状に加工する第10の工程と、前記導電膜をマスクとして、前記柱状突起内に不純物を導入して一対の拡散領域を形成する第11の工程とを有する。

【0053】本発明の半導体装置の製造方法の一態様例は、前記第8の工程の後に、全面に酸素イオン注入を施し、熱処理することで前記柱状突起内の所定部位に前記柱状突起を上下に2分する酸化層を形成する第12の工程を更に有し、前記柱状突起の前記埋め込み絶縁層から上部を前記半導体基板から電気的に分離する。

【0054】本発明の半導体装置の製造方法の一態様例においては、前記第10の工程において、前記導電膜を、前記狭隙内を前記第5の絶縁膜を介して埋め込み前記第4の絶縁膜上で島状となるように加工し、前記導電膜の表面を覆うように第6の絶縁膜を形成し、前記第6の絶縁膜を介して前記導電膜を覆うように更なる導電膜を形成した後、当該更なる導電膜及び前記第6の絶縁膜を所定形状に加工して、前記導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記第6の絶縁膜からなる容量絶縁膜を介して対向する前記更なる導電膜からなる制御ゲート電極を形成する。

22

【0055】本発明の半導体装置の製造方法の一態様例は、前記第11の工程の後に、前記一対の拡散領域の一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第13の工程を更に有する。

【0056】本発明の半導体装置の製造方法は、半導体基板上にエッチング速度の低い第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、前記柱状突起及び前記第1の絶縁膜の側面のみに前記第2の絶縁膜を形成する第3の工程と、前記柱状突起及び前記第1の絶縁膜を埋め込む膜厚に第3の絶縁膜を形成し、前記第1の絶縁膜をストッパーとして前記第3の絶縁膜を研磨する第4の工程と、前記第1の絶縁膜とともに前記第2及び第3の絶縁膜の一部を除去する第5の工程と、前記第2の絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、前記狭隙の内壁を覆う第4の絶縁膜を形成する第7の工程と、全面に不純物を導入して、前記柱状突起の上部の表面領域及び前記半導体基板の表面領域にそれぞれ拡散層を形成する第8の工程と、前記狭隙内を前記第4の絶縁膜を介して埋め込むように前記第3の絶縁膜上に第1の導電膜を形成する第9の工程と、前記第1の導電膜を加工して、前記第1の導電膜を分断する第10の工程とを有する。

【0057】本発明の半導体装置の製造方法の一態様例は、前記第6の工程の後、前記第7の工程の前に、前記第3の絶縁膜の上部を除去する第11の工程を更に有し、前記第10の工程において、前記柱状突起の上面をストッパーとして前記第1の導電膜を研磨し、前記第1の導電膜を分断する。

【0058】本発明の半導体装置の製造方法の一態様例は、前記第10の工程の後、前記第1の導電膜を覆う第5の絶縁膜を形成する第12の工程と、前記第5の絶縁膜及び前記第4の絶縁膜を加工して、前記柱状突起の上面の一部を露出させる第13の工程と、露出した前記柱状突起の上面を含む前記第5の絶縁膜上に第2の導電膜をパターン形成し、前記第2の導電膜と前記柱状突起の上部の表面領域に形成された前記拡散層とを電気的に接続する第14の工程とを更に有する。

【0059】本発明の半導体装置の製造方法の一態様例においては、前記第9の工程において、前記第1の導電膜上に第6の絶縁膜を形成し、前記第10の工程において、前記第1の導電膜とともに前記第6の絶縁膜を加工して溝部を形成することにより、前記第1の導電膜を分断し、前記第10の工程の後、前記溝部内で露出した少なくとも前記第1の導電膜の側壁に第7の絶縁膜を形成する第15の工程と、露出した前記柱状突起の上面を含む前記第6及び第7の絶縁膜上に第2の導電膜をパターン形成し、前記第2の導電膜と前記柱状突起の上部の表

23

面領域に形成された前記拡散層とを電氣的に接続する第16の工程とを更に有する。

【0060】本発明の半導体装置の製造方法は、ゲート及びソース／ドレインを備えた半導体装置の製造方法であって、半導体基板上にエッチング速度の低いキャップ絶縁膜を形成する第1の工程と、前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、前記柱状突起及び前記キャップ絶縁膜の側面のみをサイドウォール絶縁膜を形成する第3の工程と、前記柱状突起及び前記キャップ絶縁膜を埋め込む膜厚に素子分離用絶縁膜を形成し、前記キャップ絶縁膜をストッパーとして前記素子分離用絶縁膜を研磨する第4の工程と、前記キャップ絶縁膜とともにサイドウォール絶縁膜及び前記素子分離用絶縁膜の一部を除去する第5の工程と、前記サイドウォール絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、前記狭隙の内壁を覆うゲート絶縁膜を形成する第7の工程と、前記狭隙内を前記ゲート絶縁膜を介して埋め込むように前記素子分離用絶縁膜上に導電膜を形成する第8の工程と、前記導電膜をゲート形状にパターニングする第9の工程と、前記導電膜をマスクとして、前記柱状突起内に不純物を導入してソース／ドレインを形成する第10の工程とを有する。

【0061】本発明の半導体装置の製造方法の一態様例は、前記第6の工程の後に、全面に酸素イオン注入を施し、熱処理することで前記柱状突起内の所定部位に前記柱状突起を上下に2分する酸化層を形成する第11の工程を更に有し、前記柱状突起の前記埋め込み絶縁層から上部を前記半導体基板から電氣的に分離する。

【0062】本発明の半導体装置の製造方法の一態様例においては、前記第8の工程において、前記導電膜を、前記狭隙内を前記ゲート絶縁膜を介して埋め込み前記素子分離用絶縁膜上で島状となるように加工し、前記導電膜の表面を覆うように容量絶縁膜を形成し、前記容量絶縁膜を介して前記導電膜を覆うように更なる導電膜を形成した後、当該更なる導電膜及び前記容量絶縁膜を所定形状に加工して、前記導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記容量絶縁膜を介して対向する前記更なる導電膜からなる制御ゲート電極を形成する。

【0063】本発明の半導体装置の製造方法の一態様例は、前記第9の工程の後に、前記ソース／ドレインの一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第12の工程を更に有する。

【0064】本発明の半導体装置の製造方法は、半導体基板に、第1、第2及び第3のゲートとこれら第1、第2及び第3のゲートに共通のソース及びドレインとを有する第1、第2及び第3のトランジスタを備えた半導体

24

装置の製造方法であって、前記半導体基板上にエッチング速度の低いキャップ絶縁膜を形成する第1の工程と、前記第1の絶縁膜及び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、前記柱状突起及び前記キャップ絶縁膜の側面のみをサイドウォール絶縁膜を形成する第3の工程と、前記柱状突起及び前記キャップ絶縁膜を埋め込む膜厚に素子分離用絶縁膜を形成し、前記キャップ絶縁膜をストッパーとして前記素子分離用絶縁膜を研磨する第4の工程と、前記キャップ絶縁膜とともにサイドウォール絶縁膜及び前記素子分離用絶縁膜の一部を除去する第5の工程と、前記サイドウォール絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、前記狭隙の内壁を覆うゲート絶縁膜を形成する第7の工程と、前記狭隙内を前記ゲート絶縁膜を介して埋め込むように前記素子分離用絶縁膜上に第1の導電膜を形成し、所定形状に加工する第8の工程と、前記第1の導電膜をマスクとして、前記柱状突起内に不純物を導入して前記ソース及び前記ドレインを形成する第9の工程と、前記第1の導電膜を加工して、前記柱状突起上で前記第1の導電膜を分断して、前記第1及び第2のゲートを形成する第10の工程と、前記第1及び第2のゲート上に層間絶縁膜を形成し、前記層間絶縁膜を加工して前記柱状突起の上面に形成された前記ゲート絶縁膜の一部のみを露出させる第11の工程と、露出した前記ゲート絶縁膜上を含む前記層間絶縁膜上に第2の導電膜を形成し、当該第2の導電膜を加工して前記第3のゲートをパターン形成する第12の工程とを有する。

【0065】本発明の半導体装置の製造方法の一態様例においては、前記第12の工程において、前記第2の導電膜を、前記ゲート絶縁膜上で島状となるように加工し、前記第2の導電膜の表面を覆うように容量絶縁膜を形成し、前記容量絶縁膜を介して前記第2の導電膜を覆うように第3の導電膜を形成した後、当該第3の導電膜及び前記容量絶縁膜を所定形状に加工して、前記第2の導電膜からなる浮遊ゲート電極と、当該浮遊ゲート電極と前記容量絶縁膜を介して対向する前記第3の導電膜からなる制御ゲート電極を形成する。

【0066】本発明の半導体装置の製造方法の一態様例は、前記第12の工程の後に、前記ソース／ドレインの一方の上に容量絶縁膜を介して対向してなるキャパシタ電極を形成する第13の工程を更に有する。

【0067】本発明の半導体装置の製造方法は、半導体基板に、第1及び第2のゲートとこれら第1及び第2のゲートに共通のソース及びドレインとを有する第1及び第2のトランジスタを備えた半導体装置の製造方法であって、前記半導体基板上にエッチング速度の低いキャップ絶縁膜を形成する第1の工程と、前記第1の絶縁膜及



25

び前記半導体基板を加工して、前記半導体基板の表面に所定幅の柱状突起を形成する第2の工程と、前記柱状突起及び前記キャップ絶縁膜の側面のみにサイドウォール絶縁膜を形成する第3の工程と、前記柱状突起及び前記キャップ絶縁膜を埋め込む膜厚に素子分離用絶縁膜を形成し、前記キャップ絶縁膜をストッパーとして前記素子分離用絶縁膜を研磨する第4の工程と、前記キャップ絶縁膜とともにサイドウォール絶縁膜及び前記素子分離用絶縁膜の一部を除去する第5の工程と、前記サイドウォール絶縁膜の一部を選択的に除去して狭隙を形成し、前記柱状突起の両側面の一部及び前記柱状突起の近傍における前記半導体基板の表面の一部を露出させる第6の工程と、前記狭隙の内壁を覆うゲート絶縁膜を形成する第7の工程と、全面に不純物を導入して、前記柱状突起の上部の表面領域に前記ドレインを、前記半導体基板の表面領域に前記ソースをそれぞれ形成する第9の工程と、前記狭隙内を前記ゲート絶縁膜を介して埋め込むように前記素子分離用絶縁膜上に導電膜を形成する第9の工程と、前記導電膜を加工して、前記柱状突起上で前記導電膜を分断し、前記第1及び第2のゲートを形成する第10の工程とを有する。

【0068】本発明の半導体装置の製造方法の一態様例は、前記第6の工程の後、前記第7の工程の前に、前記素子分離用絶縁膜の上部を除去する第11の工程を更に有し、前記第10の工程において、前記柱状突起の上面をストッパーとして前記導電膜を研磨し、前記導電膜を分断する。

【0069】本発明の半導体装置の製造方法の一態様例は、前記第10の工程の後、露出した前記柱状突起の上面及び前記導電膜を覆う層間絶縁膜を形成する第12の工程と、前記層間絶縁膜を加工して、前記柱状突起の上面の一部を再び露出させる第13の工程と、露出した前記柱状突起の上面を含む前記層間絶縁膜上に配線膜をパターン形成し、前記配線膜と前記ドレインとを電気的に接続する第14の工程とを更に有する。

【0070】本発明の半導体装置の製造方法は、半導体基板上に素子分離用絶縁膜となる第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜を加工して、前記半導体基板の表面の一部を露出させる溝部を形成する第2の工程と、前記溝部を埋め込むように、前記第1の絶縁膜上に覆う多結晶シリコン膜を形成する第3の工程と、前記多結晶シリコン膜上に第2の絶縁膜を形成する第4の工程と、前記多結晶シリコン膜及び前記第2の絶縁膜を加工し、前記溝部内の前記半導体基板上に前記多結晶シリコン膜からなる柱状突起及び前記柱状突起のキャップ絶縁膜を形成する第5の工程と、熱処理を施し、前記柱状突起を単結晶化させる第6の工程と、前記溝内で露出した前記半導体基板の表面及び前記柱状突起の側面に第3の絶縁膜を形成する第7の工程と、前記キャップ絶縁膜を不純物が通過する条件で全面に前記不純物を導入

26

した後、前記キャップ絶縁膜内に不純物が止まる条件で全面に前記不純物を導入して、前記柱状突起の上部の表面領域及び前記半導体基板の表面領域に一对の拡散領域を形成する第8の工程と、全面に導電膜を形成し、前記導電膜を所定形状に加工する第9の工程と、前記キャップ絶縁膜をストッパーとして、前記キャップ絶縁膜の表面が露出するまで前記導電膜を研磨し、前記導電膜を分断する第10の工程とを有する。

【0071】本発明の半導体装置の製造方法は、半導体基板上に素子分離用絶縁膜となる第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜を加工して、前記半導体基板の表面の一部を露出させる第1の溝部を形成する第2の工程と、前記第1の溝部を埋め込むように、前記第1の絶縁膜上に覆う多結晶シリコン膜を形成する第3の工程と、前記多結晶シリコン膜上に第2の絶縁膜を形成する第4の工程と、前記多結晶シリコン膜及び前記第2の絶縁膜を加工し、前記第1の溝部内の前記半導体基板上に前記多結晶シリコン膜からなり略中央部位を除き前記第1の溝部を充填する形状の柱状突起及び前記柱状突起のキャップ絶縁膜を形成する第5の工程と、熱処理を施し、前記柱状突起を単結晶化させる第6の工程と、前記第1の溝部内で露出した前記半導体基板の表面及び前記柱状突起の前記略中央部位の側面に第3の絶縁膜を形成する第7の工程と、全面に前記第1の溝部内の露出部位を埋め込むように第1の導電膜を形成する第8の工程と、前記第1の導電膜及び前記キャップ絶縁膜を加工して、前記第1の導電膜及び前記キャップ絶縁膜の両側に前記柱状突起の上面を露出させる第9の工程と、前記第1の導電膜をマスクとして、露出した前記柱状突起の上面から前記柱状突起内に不純物を導入し、一对の拡散層を形成する第10の工程と、前記キャップ絶縁膜をストッパーとして前記第1の導電膜を研磨し、前記キャップ絶縁膜により前記第1の導電膜を分断する第11の工程とを有する。

【0072】本発明の半導体装置の製造方法の一態様例は、前記第11の工程の後、前記第1の導電膜を覆うように第4の絶縁膜を形成する第12の工程と、前記第4の絶縁膜、前記第1の導電膜及び前記キャップ絶縁膜を加工して、前記柱状突起の上面を露出させる第2の溝部を形成する第13の工程と、前記第2の溝部内で露出した少なくとも前記第1の導電膜の側面を覆う第5の絶縁膜を形成する第14の工程と、前記第2の溝部を埋め込む第2の導電膜をパターン形成する第15の工程とを更に有する。

【0073】本発明の記憶媒体には、記憶された前記多値の記憶情報の判定動作の各ステップがコンピュータから読み出し可能に格納されている。

【0074】本発明の半導体装置の一態様例においては、前記容量絶縁膜が強誘電体膜である。

【0075】



27

【作用】本発明の半導体装置は、半導体基板と一体に加工形成されてなる柱状突起のほぼ中央部位を第1の絶縁膜（ゲート絶縁膜）を介して覆う導電膜（ゲート）と、この導電膜の両側の柱状突起に不純物が導入されてなる一対の拡散領域（ソース／ドレイン）とを備え、柱状突起を埋め込むように第2の絶縁膜（素子分離用絶縁膜）が形成されて構成されており、以下に示すように、導電膜及び柱状突起から3つのチャネルが形成される。

【0076】先ず、柱状突起の上面において、導電膜の長手方向にほぼ直交する方向の幅がゲート長 $L$ 、柱状突起の長手方向にほぼ直交する方向の幅がチャネル幅 $W1$ として規定されて、第1のチャネルが構成される。一方、柱状突起の両側面において、ゲート長が上述の $L$ 、柱状突起の半導体基板からの高さがほぼチャネル幅 $W2$ として規定されて、互いに対向するように第2及び第3のチャネルが構成される。ここで、チャネル幅 $W1$ は、第2及び第3のチャネルで構成されるトランジスタの空乏層の厚みをも規定し、それ自体でSOI構造における2ゲート型トランジスタ構造と等価の振る舞いをする。この場合、チャネル幅 $W1$ を極めて狭く、例えば0.1 5  $\mu\text{m}$ 程度或いはそれ以下とすれば、第2及び第3のチャネルは完全に空乏状態となる。

【0077】即ち、本発明の半導体装置においては、第2の絶縁膜により素子分離がなされているために半導体基板内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起が半導体基板と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI構造的な極めて高い駆動能力が達成される。

【0078】更に、本発明の半導体装置においては、前記柱状突起内の所定部位に前記導電膜と交差する埋め込み絶縁層が、酸素イオン注入によって所定部位及び所定膜厚に形成されている。この場合、埋め込み絶縁層の形成部位を正確に制御することは容易であり、これにより任意に第2及び第3のチャネルのチャネル幅 $W2$ を設定することが可能となる。

【0079】また、本発明の半導体装置は、半導体基板と一体に加工形成されてなる柱状突起のほぼ中央部位を第1の絶縁膜（第1のゲート絶縁膜）を介して覆い、互いに電氣的に分離されてなる第1及び第2の導電膜（第1及び第2のゲート）と、前記柱状突起の上面の略中央部位を第2の絶縁膜（第2のゲート絶縁膜）を介して覆い、第1及び第2の導電膜と電氣的に分離されてなる第3の導電膜（第3のゲート）と、第1及び第2の導電膜の両側の柱状突起に不純物が導入されてなる一対の拡散領域（ソース／ドレイン）とを備えている。従って、本発明の半導体装置は、各々が並列接続されてなる3つのトランジスタと等価の構成が実現される。ここで、第1～第3のトランジスタを用いて、コンダクタンスの異なる複数の特性を実現することができる。例えば、第1の

28

トランジスタのみがオンの場合と、第1及び第2のトランジスタのみがオンの場合、第1～第3のトランジスタが全てオンの場合と、第1～第3のトランジスタが全てオフの場合も含めて、4通りの相異なるコンダクタンスが実現されることになる。

【0080】即ち、本発明の半導体装置においては、高集積化の実現のみならず、複数のコンダクタンスをSOI構造的な極めて高い駆動能力をもって達成することが可能となる。

【0081】

【発明の実施の形態】以下、本発明のいくつかの好適な実施形態について図面を参照しながら詳細に説明する。

【0082】（第1の実施形態）初めに、第1の実施形態について説明する。ここでは、半導体基板に突起状の活性領域が形成されてなる、いわゆるDELTA型のMOSトランジスタを例示し、その構成及び製造方法を説明する。図1は、第1の実施形態のMOSトランジスタに主要構成を示す概略斜視図であり、図2及び図3は、このMOSトランジスタの製造方法を工程順に示す概略断面図である。

【0083】この第1の実施形態のMOSトランジスタは、p型のシリコン半導体基板1の表面に極めて薄い厚みの活性領域となる柱状突起11が加工形成され、柱状突起11の中央部位を覆うゲート電極21と、このゲート電極21の両側における柱状突起11に形成されてなる一対の不純物拡散層22とを有し、柱状突起11の側面を埋め込む素子分離用絶縁膜23が形成されて構成されている。

【0084】ゲート電極21は、多結晶シリコン膜からなり、柱状突起11の中央部位から柱状突起11の下部近傍のシリコン半導体基板1上にかけて形成されたゲート酸化膜12を介して覆い、即ちゲート酸化膜12を介して柱状突起11及びその近傍のシリコン半導体基板1と対向するようにパターン形成されている。

【0085】一対の不純物拡散層22は、柱状突起11のゲート電極21の両側にリン（P）等のn型不純物がイオン注入されて形成されており、このMOSトランジスタのソース／ドレインとして機能するものである。

【0086】素子分離用絶縁膜23は、シリコン酸化膜からなり、柱状突起11の側面をPSG（Phospho silicate glass）膜24を介して埋め込むように形成されており、活性領域として機能する柱状突起11をその周囲から絶縁する機能を有するものである。

【0087】第1の実施形態のMOSトランジスタは、以下に示すように、ゲート電極21及び柱状突起11から3つのチャネルが形成される。先ず、柱状突起11の上面において、ゲート電極21の長手方向にほぼ直交する方向の幅がゲート長 $L$ 、柱状突起11の長手方向にほぼ直交する方向の幅がチャネル幅 $W1$ として規定されて、第1のチャネルが構成される。一方、柱状突起11

29

の両側面において、ゲート長が上述のL、柱状突起11のシリコン半導体基板1からの高さがほぼチャネル幅W2として規定されて、互いに対向するように第2及び第3のチャネルが構成される。

【0088】ここで、チャネル幅W1は、第2及び第3のチャネルで構成されるトランジスタの空乏層の厚みをも規定し、それ自体でSOI構造における2ゲート型トランジスタ構造と等価の振る舞いをする。この場合、チャネル幅W1を極めて狭く、例えば0.15 $\mu$ m程度或いはそれ以下とすれば、第2及び第3のチャネルは完全10に空乏状態となる。即ち、このMOSトランジスタにおいては、素子分離用絶縁膜23により素子分離がなされているためにシリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起11がシリコン半導体基板1と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI構造的な極めて高い駆動能力が達成される。

【0089】続いて、第1の実施形態のMOSトランジスタの製造方法について図1中の破線I-I'に沿った20断面に対応する図2及び図3を用いて説明する。

【0090】先ず、図2(a)に示すように、p型のシリコン半導体基板1の表面に熱酸化を施して膜厚10nm $\sim$ 30nm程度のパッド熱酸化膜2を形成し、続いてパッド熱酸化膜2上に低圧CVD法によりシリコン窒化膜3を膜厚100nm $\sim$ 300nm程度に形成する。

【0091】続いて、全面にフォトリソグラフィ（例えばEB直描リソグラフィ）を用いて、活性領域を形成する部位にのみにフォトリソグラフィを残して、レジストマスク4を形成する。30

【0092】次に、図2(b)に示すように、レジストマスク4をエッチングマスクとして、シリコン窒化膜3、パッド熱酸化膜2及びシリコン半導体基板1をドライエッチングして、シリコン半導体基板1に所定の高さの柱状突起11を形成する。このとき、柱状突起11の高さが、第2及び第3のチャネルのチャネル幅W2となる。

【0093】次に、レジストマスク4を灰化处理等により除去した後、柱状突起11その上のパッド熱酸化膜2及びシリコン窒化膜3を埋め込むように膜厚150nm $\sim$ 300nm程度に全面にPSG膜24を形成する。続いて、このPSG膜24の全面を異方性エッチングすることにより柱状突起11、パッド熱酸化膜2及びシリコン窒化膜3の側面のみPSG膜24を残して、図2(c)に示すように、所定膜厚のサイドウォール5を形成する。このとき、サイドウォール5の膜厚が、第2及び第3のチャネルの領域におけるゲート電極21の膜厚を規定することになる。このサイドウォール5の形成時にはフォトリソグラフィを用いないため、その膜厚を露光限界以下の所定値に設定することができる。50

30

【0094】次に、低圧CVD法により、柱状突起11、パッド熱酸化膜2及びシリコン窒化膜3を埋め込む膜厚に全面にシリコン酸化膜を形成する。続いて、図2(d)に示すように、シリコン窒化膜3をストッパーとしてシリコン酸化膜を例えばCMP（Chemical-Mechanical Polishing）法により研磨して表面を平坦化し、素子分離用絶縁膜23を形成する。

【0095】次に、図3(a)に示すように、柱状突起11の上のパッド熱酸化膜2及びシリコン窒化膜3をエッチングにより除去し、柱状突起11の上面を露出させる。

【0096】次に、図3(b)に示すように、例えばHF気相洗浄法を用いて、柱状突起11の側面に形成されたサイドウォール5を選択的に除去し、柱状突起11の側面におけるゲート電極21の形状に狭隙6を形成する。即ち、この狭隙6は、その間隔が柱状突起11の側面におけるゲート電極21のほぼ膜厚に、その幅がほぼゲート長Lに、高さが第2及び第3のチャネルのほぼチャネル幅W2となるように形成されることになる。

【0097】次に、図3(c)に示すように、柱状突起11の側面及び狭隙6の底面（即ち、露出したシリコン半導体基板1の表面の一部）を熱酸化して、ゲート酸化膜12を膜厚5nm $\sim$ 10nm程度に形成する。

【0098】次に、図3(d)に示すように、狭隙6を埋め込むように素子分離用絶縁膜23上にリンドープ或いはノンドープの多結晶シリコン膜を低圧CVD法により形成する。その後、素子分離用絶縁膜23上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、ゲート電極21を形成する。

【0099】次に、ゲート電極21をマスクとして、柱状突起11内にリン等のn型不純物をイオン注入して、アニール処理を施すことにより、ソース/ドレインとして機能する一対の不純物拡散層22を形成する。

【0100】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第1の実施形態のMOSトランジスタを完成させる。

【0101】以下、第1の実施形態の半導体装置のいくつかの変形例について説明する。なお、第1の実施形態のMOSトランジスタに対応する構成部材等については同符号を記して説明を省略する。

【0102】（変形例1）先ず、変形例1について説明する。この変形例1の半導体装置は、第1の実施形態のMOSトランジスタとほぼ同様の構成を有するが、その製造方法が一部異なる点で相違する。図4は、この変形例のMOSトランジスタの製造方法の初めの数工程を示す概略断面図である。

【0103】先ず、図4(a)に示すように、p型のシリコン半導体基板1の表面にシリコン酸化膜を堆積し、このシリコン酸化膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、シリコン酸化膜のパタ

31

ーン 31 を形成する。

【0104】次に、図 4 (b) に示すように、パターン 31 を覆うように全面にシリコン窒化膜 32 を堆積する。

【0105】次に、図 4 (c) に示すように、シリコン窒化膜 32 の全面を異方性エッチングすることにより、パターン 31 の側面のみにシリコン窒化膜 32 を残して、サイドウォール 33 を形成する。このように、サイドウォール 33 の形成にフォトリソグラフィを用いないため、サイドウォール 33 の幅を露光限界以下の所定値に設定することが可能である。

【0106】次に、図 4 (d) に示すように、シリコン半導体基板 1 を HF 溶液に漬浸させてパターン 31 を除去し、サイドウォール 33 のみをシリコン半導体基板 1 上に残す。

【0107】次に、図 4 (e) に示すように、サイドウォール 33 をマスクとしてシリコン半導体基板 1 をドライエッチングし、第 1 の実施形態の図 2 (a) と同様の柱状突起 11 を形成する。このとき、柱状突起 11 を露光限界以下の所定幅に形成することが可能である。

【0108】しかる後、図 2 (b) ~ 図 2 (d)、続く図 3 (a) ~ 図 3 (d) と同様の各工程を経て、DELTA 型の MOS トランジスタを完成させる。

【0109】この変形例 1 の MOS トランジスタにおいては、第 1 の実施形態の場合と同様に、チャネル幅  $W_1$  が、第 2 及び第 3 のチャネルで構成されるトランジスタの空乏層の厚みをも規定し、それ自体で SOI 構造における 2 ゲート型トランジスタ構造と等価の振る舞いをする。この場合、チャネル幅  $W_1$  を極めて狭く、例えば  $0.15 \mu\text{m}$  程度或いはそれ以下とすれば、第 2 及び第 3 のチャネルは完全に空乏状態となる。即ち、この MOS トランジスタにおいては、素子分離用絶縁膜 23 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起 11 がシリコン半導体基板 1 と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI 構造的な極めて高い駆動能力が達成される。

【0110】(変形例 2) 続いて、変形例 2 について説明する。この変形例 2 の半導体装置は、第 1 の実施形態の MOS トランジスタとほぼ同様の構成を有するが、ゲート電極が容量絶縁膜を介した 2 層導電膜構造とされる半導体メモリであり、いわゆる EEPROM として構成されている。

【0111】即ち、この EEPROM は、図 5 に示すように、上述した第 1 の実施形態の MOS トランジスタの構成において、ゲート電極 25 が、浮遊ゲート電極 25 a と、この浮遊ゲート電極 25 a の表面を覆う容量絶縁膜 25 b と、この容量絶縁膜 25 b を介して浮遊ゲート

32

電極 25 a と対向する制御ゲート電極 25 c とから構成されてなるものである。変形例 2 の EEPROM においては、ゲート電極 25、一对の不純物拡散層 22 によりメモリセルが構成され、記憶情報の書き込み及び読み出しが可能となる。

【0112】浮遊ゲート電極 25 a は、柱状突起 11 の側面の中央部位をゲート酸化膜 12 を介して覆い、柱状突起 11 上でゲート酸化膜 12 を介して島状となるように分断されて形成されている。ここで、ゲート酸化膜 12 がいわゆるトンネル絶縁膜として機能することになる。

【0113】制御ゲート電極 25 c は、浮遊ゲート電極 25 a の表面に形成された容量絶縁膜 25 b を介して浮遊ゲート電極 25 a と対向し、素子分離用絶縁膜 23 上に帯状に延在している。ここで、容量絶縁膜 25 b は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造に形成されたいわゆる ONO 膜である。

【0114】この変形例 2 の EEPROM においては、第 1 の実施形態の場合と同様に、チャネル幅  $W_1$  が、第 2 及び第 3 のチャネルで構成されるトランジスタの空乏層の厚みをも規定し、それ自体で SOI 構造における 2 ゲート型トランジスタ構造と等価の振る舞いをする。この場合、チャネル幅  $W_1$  を極めて狭く、例えば  $0.15 \mu\text{m}$  程度或いはそれ以下とすれば、第 2 及び第 3 のチャネルは完全に空乏状態となる。即ち、この EEPROM においては、素子分離用絶縁膜 23 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起 11 がシリコン半導体基板 1 と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI 構造的な極めて高い駆動能力を持った記憶素子を実現することになる。

【0115】次に、変形例 2 の EEPROM の製造方法について図 5 中の破線 I-I' に沿った断面に対応する図 6 を用いて説明する。

【0116】先ず、第 1 の実施形態における図 2 (a) ~ 図 3 (c) の各工程を経た後、図 3 (d) で、狭隙 6 を埋め込むように素子分離用絶縁膜 23 上にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成する。続いて、図 6 (a) に示すように、素子分離用絶縁膜 23 上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、多結晶シリコン膜を素子分離用絶縁膜 23 上で島状に分断して、浮遊ゲート電極 25 a をパターン形成する。

【0117】次いで、図 6 (b) に示すように、CVD 法により、浮遊ゲート電極 25 a を覆うように、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を順次形成し、パターニングすることにより、ONO 膜である容量絶縁膜 25 b を形成する。そして、容量絶縁膜 25 b

33

を覆うように素子分離用絶縁膜 23 上にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成する。続いて、素子分離用絶縁膜 23 上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、素子分離用絶縁膜 23 上で帯状に延在する制御ゲート電極 25c をパターン形成する。

【0118】しかる後、ソース／ドレインとして機能する一対の不純物拡散層 22 を形成し、種々の配線形成工程や層間絶縁膜の形成工程等を経て、変形例 2 の EEPROM を完成させる。

【0119】なお、この EEPROM を、その記憶情報がバイナリデータの場合、記憶状態を 2 ビット以上の所定値とし、いわゆる多値メモリとして構成することも可能である。この場合、記憶状態が  $n$  ビット ( $2^n$  値、 $n$  は 2 以上の整数) であれば、 $2^n$  種のしきい値電圧を設定すればよい。例えば記憶状態が 2 ビット (4 値) である場合、4 種の基準電圧 (しきい値電圧) を記憶状態 "00", "01", "10", "11" に対応させ、読み出し時に所定の判定動作により前記 4 種のうちから EEPROM の各メモリセルの 1 つの記憶状態を特定する。また、記憶状態が 3 ビット (8 値) である場合、8 種の基準電圧 (しきい値電圧) を記憶状態 "000", "001", "010", "011", "100", "101", "110", "111" に対応させ、読み出し時に所定の判定動作により前記 8 種のうちから 1 つの記憶状態を特定すればよい。この多値 EEPROM によれば、上述した諸効果に加え、各メモリセルの記憶密度が大幅に向上するため、更なる高集積化や微細化の要請に十分に 대응することができる。ここで、記憶情報がバイナリデータでなく、例えば 0, 1, 2 で構成される情報である場合、記憶状態を "0", "1", "2" としたり、"00", "01", "02", "10", "11", "12", "20", "21", "22" とすることも可能である。このような場合では、前者では記憶状態を 3 値、後者では 9 値と表現することになろう。また、この多値化は、EEPROM のみならず、後述の DRAM や、その他諸々の半導体メモリにも適用可能である。

【0120】また、第 1 の実施形態では、図 5 に示すように、ゲート酸化膜 12 や、容量絶縁膜 25b を用いたが、この容量絶縁膜 25b の代わりに強誘電体膜を用いてもよい。この強誘電体膜を用いた場合、浮遊ゲート電極 25a、制御ゲート電極 25c を、白金、チタン化合物、タングステン化合物、ルテニウム化合物等を用いてもよく、白金層の下面に多結晶シリコン等の導電膜を形成して 2 層構造としてもよい。

【0121】ここで挙げた強誘電体膜は、PZT (ジルコン酸チタン酸鉛)、PLZT (ジルコン酸チタン酸ランタン)、チタン酸バリウム、チタン酸バリウムストロンチウム薄膜、チタン酸ビスマス、ジルコン酸チタン酸

34

鉛等の強誘電性を示す物質であれば、他の物質を用いてもよい。また、強誘電体膜に代えて、例えば、タンタル酸化物、 $Ta_2O_5$  BSTO 等の誘電率が 50 以上の高誘電体膜を用いてもよい。

【0122】また、浮遊ゲート電極を多層構造としてもよい。即ち、ゲート絶縁膜上に第 1 の浮遊ゲート電極を形成した後、第 1 の浮遊ゲート電極上に第 1 の絶縁膜を形成し、続いて第 1 の絶縁膜上に第 2 の浮遊ゲート電極を形成する。その後、第 2 の浮遊ゲート電極上に第 2 の絶縁膜を形成し、続いて第 2 の絶縁膜上に制御ゲート電極 25c を形成することにより、浮遊ゲート電極を 2 層構造に形成する。この構造は、多値不揮発メモリとして有効である。

【0123】(変形例 3) 続いて、変形例 3 について説明する。この変形例 3 の半導体装置は、第 1 の実施形態の MOS トランジスタとほぼ同様の構成を有するが、ゲート電極に隣接してメモリキャパシタが設けられてなる半導体メモリであり、いわゆる DRAM として構成されている。

【0124】即ち、この DRAM は、図 7 に示すように、上述した第 1 の実施形態の MOS トランジスタの構成に加えて、ゲート電極 21 に隣接し、一対の不純物拡散層 22 の一方と容量絶縁膜 26 を介して対向するキャパシタ電極 27 が設けられて構成されている。この場合、一方の不純物拡散層 22 とキャパシタ電極 27 とが容量結合し、メモリキャパシタとして機能することになる。

【0125】容量絶縁膜 26 は、素子分離用絶縁膜 23 と一方の不純物拡散層 22 との間に形成された狭隙 6 の内壁面を含み、素子分離用絶縁膜 23 上から一方の不純物拡散層 22 上を通過してゲート電極 21 及びゲート酸化膜 12 を覆うシリコン酸化膜からなるサイドウォール 29b とキャップ絶縁膜 29a の上に達するように形成されている。この容量絶縁膜 26 は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造に形成されたいわゆる ONO 膜である。

【0126】キャパシタ電極 27 は、溝 28 内を埋め込み、容量絶縁膜 26 上を覆うようにパターン形成されており、一方の不純物拡散層 22 の上面及び狭隙 6 内で一方の不純物拡散層 22 の側面と容量絶縁膜 26 を介して対向している。即ち、キャパシタ電極 27 が、当該一方の不純物拡散層 22 とその上面及び側面で容量結合してメモリキャパシタとして機能する。そして、このメモリキャパシタと MOS トランジスタとでメモリセルが構成され、記憶情報の書き込み及び読み出しが可能となる。

【0127】この変形例 3 の DRAM においては、第 1 の実施形態の場合と同様に、チャネル幅  $W_1$  が、第 2 及び第 3 のチャネルで構成されるトランジスタの空乏層の厚みをも規定し、それ自体で SOI 構造における 2 ゲート型トランジスタ構造と等価の振る舞いをする。この場

合、チャネル幅 $W1$ を極めて狭く、例えば $0.15\mu m$ 程度或いはそれ以下とすれば、第2及び第3のチャネルは完全に空乏状態となる。即ち、このDRAMにおいては、素子分離用絶縁膜23により素子分離がなされているためにシリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となつて極めて高い集積度の達成が容易に可能となるとともに、柱状突起11がシリコン半導体基板1と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI構造的な極めて高い駆動能力を持った記憶素子が実現することになる。

【0128】次に、変形例3のEEPROMの製造方法について図7中の破線I-I'に沿った断面に対応する図8を用いて説明する。

【0129】先ず、第1の実施形態における図2(a)～図3(c)の各工程を経た後、図3(d)で、挟隙6を埋め込むように素子分離用絶縁膜23上にリンドープ或いはノンドープの多結晶シリコン膜を低圧CVD法により形成した後、多結晶シリコン膜上にシリコン酸化膜を堆積する。続いて、図8(a)に示すように、素子分離用絶縁膜23上の多結晶シリコン膜及びシリコン酸化膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、ゲート電極21及びそのキャップ絶縁膜29aをパターン形成する。次に、キャップ絶縁膜29aをマスクとして、柱状突起11内にリン等のn型不純物を低濃度にイオン注入し、低濃度不純物拡散層22aを形成する。

【0130】続いて、図8(b)に示すように、全面にシリコン酸化膜を堆積させた後、このシリコン酸化膜の全面を異方性エッチングして、ゲート電極21及びキャップ絶縁膜29aの側面のみにシリコン酸化膜を残し、サイドウォール29bを形成する。次に、キャップ絶縁膜29a及びサイドウォール29bをマスクとして、柱状突起11内にリン等のn型不純物を高濃度にイオン注入し、高濃度不純物拡散層22bを形成し、いわゆるLDD構造に不純物拡散層22を形成する。

【0131】続いて、一方の不純物拡散層22側において、柱状突起11と素子分離用絶縁膜23との間の挟隙6内に存するPSG膜24を除去する。次に、図8

(c)に示すように、挟隙6の内壁面を含む全面にシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を順次成膜してONO膜を形成した後、このONO膜上に多結晶シリコン膜を形成し、この多結晶シリコン膜上にフォトレジストを塗布する。そして、フォトリソグラフィによりフォトレジストを加工してフォトマスク28を形成し、これをマスクとしてONO膜及び多結晶シリコン膜をエッチングしてキャップ絶縁膜29a上で分断する。このとき、ONO膜からなる容量絶縁膜26と、この容量絶縁膜26を介して一方の不純物拡散層22の側面及び上面と対向するキャパシタ電極27がパターン形

成される。

【0132】続いて、全面を覆う層間絶縁膜131を形成した後、この層間絶縁膜131に他方の不純物拡散層22の表面を露出させるコンタクト孔132を形成し、このコンタクト孔132を埋め込むようにアルミニウム膜を形成する。そして、このアルミニウム膜をパターニングすることにより、他方の不純物拡散層22と接続されて層間絶縁膜131上で延在するビット線133をパターン形成する。

【0133】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、変形例3のDRAMを完成させる。

【0134】なお、例えば図9に示すように、ゲート電極21を所定間隔を置いて2つ形成し、各々のゲート電極21について各一方の不純物拡散層22と容量結合するようにメモリアバタシタを形成するようにしてもよい。

【0135】(第2の実施形態)続いて、本発明の第2の実施形態について説明する。この第2の実施形態のMOSトランジスタは、第1の実施形態のそれとほぼ同様の構成を有するが、SOI構造を有し、第2及び第3のチャネルのチャネル幅 $W2$ が任意に設定される点で相違する。図10は、第2の実施形態のMOSトランジスタに主要構成を示す概略斜視図であり、図11は、このMOSトランジスタの製造方法の主要工程を工程順に示す概略断面図である。なお、第1の実施形態の構成部材等に対応するものについては同符号を記す。

【0136】この第2の実施形態のMOSトランジスタは、第1の実施形態のそれと同様に、p型のシリコン半導体基板1の表面に極めて薄い厚みの活性領域となる柱状突起11が加工形成され、柱状突起11の中央部位を覆うゲート電極21と、このゲート電極21の両側における柱状突起11に形成されてなる一対の不純物拡散層22とを有し、柱状突起11の側面を埋め込む素子分離用絶縁膜23が形成されて構成されている。

【0137】柱状突起11は、シリコン半導体基板1に加工が施されて柱状に形成されてなる部位であり、第2の実施形態においては、その中の所定部位に所定膜厚の埋め込み酸化膜41が形成されており、この埋め込み酸化膜41により柱状突起11の埋め込み酸化膜41より上部が下部(シリコン半導体基板1を含む)から電気的に分離され、SOI構造とされている。即ち、柱状突起11の埋め込み酸化膜41より上部がトランジスタの活性領域となる。

【0138】ゲート電極21は、多結晶シリコン膜からなり、柱状突起11の中央部位から柱状突起11の下部近傍のシリコン半導体基板1上にかけて形成されたゲート酸化膜12を介して覆い、即ちゲート酸化膜12を介して柱状突起11及びその近傍のシリコン半導体基板1と対向するようにパターン形成されている。

【0139】一対の不純物拡散層22は、柱状突起11のゲート電極21の両側にリン(P)等のn型不純物がイオン注入されて形成されており、このMOSトランジスタのソース/ドレインとして機能するものである。

【0140】素子分離用絶縁膜23は、シリコン酸化膜からなり、柱状突起11の側面をPSG膜24を介して埋め込むように形成されており、活性領域として機能する柱状突起11をその周囲から絶縁する機能を有するものである。

【0141】第2の実施形態のMOSトランジスタは、以下に示すように、ゲート電極21及び柱状突起11から3つのチャンネルが形成される。まず、柱状突起11の上面において、ゲート電極21の長手方向にほぼ直交する方向の幅がゲート長L、柱状突起11の長手方向にほぼ直交する方向の幅がチャンネル幅W1として規定されて、第1のチャンネルが構成される。一方、柱状突起11の両側面において、ゲート長が上述のL、柱状突起11の埋め込み酸化膜41からの高さがほぼチャンネル幅W2'として規定されて、互いに対向するように第2及び第3のチャンネルが構成される。

【0142】ここで、チャンネル幅W1は、第2及び第3のチャンネルで構成されるトランジスタの空乏層の厚みをも規定する。この場合、チャンネル幅W1を極めて狭く、例えば0.15 $\mu$ m程度或いはそれ以下とすれば、第2及び第3のチャンネルは完全に空乏状態となる。即ち、このMOSトランジスタにおいては、素子分離用絶縁膜23により素子分離がなされているため、シリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、バルク型のMOSトランジスタと同一の半導体基板に形成することができ、SOI構造として極めて高い駆動能力が達成される。

【0143】更に、後述するように、埋め込み酸化膜41の形成部位を任意に制御することができるため、第1のチャンネルのチャンネル幅W1と同様に、例えば埋め込み酸化膜41の形成部位(及び膜厚)によって決まるチャンネル幅W2'を電子のド・ブロイ(de Broglie)波長程度(例えば0.10 $\mu$ m程度或いはそれ以下)に制御することにより、極めて微細で高機能性を有する1次元の量子化素子が実現される。

【0144】続いて、第2の実施形態のMOSトランジスタの製造方法について、図2(a)～図2(d)、続く図3(a)～図3(b)及び図10中の破線I-I'に沿った断面図である図11を用いて説明する。

【0145】まず、第1の実施形態と同様に、図2(a)～図2(d)、続く図3(a)～図3(b)の各工程を経て、柱状突起11と素子分離用絶縁膜23との間に、シリコン半導体基板1の柱状突起11の側面におけるゲート電極21の形状に狭隙6を形成する。

【0146】次に、図11(a)に示すように、シリコ

ン半導体基板1の全面に所定のドーズ量及び所定の加速エネルギーにより酸素イオン注入を施す。ここで、ドーズ量及び加速エネルギーを設定することにより、酸素イオン注入部位を任意に調節することが可能である。この場合では、ドーズ量を $1\sim 2\times 10^{18}$ (1/cm<sup>2</sup>)、加速エネルギーを190～200(keV)に設定し、活性領域内の深さ0.1 $\mu$ m程度或いはそれ以下の所定部位に酸素イオンを打ち込む。

【0147】次に、図11(b)に示すように、シリコン半導体基板1にアニール処理を施す。ここでは、温度を1320℃、時間を6(hrs)としてアニール処理し、活性領域内の深さ0.1 $\mu$ m程度或いはそれ以下の所定部位に所定膜厚の埋め込み酸化膜41を形成する。この活性領域内の深さが、第2及び第3のチャンネルのチャンネル幅W2となる。

【0148】続いて、柱状突起11の側面及び狭隙6の底面(即ち、露出したシリコン半導体基板1の表面の一部)を熱酸化して、ゲート酸化膜12を膜厚5nm～10nm程度に形成する。

【0149】次に、図11(c)に示すように、狭隙6を埋め込むように素子分離用絶縁膜23上にリンドープ或いはノンドープの多結晶シリコン膜を低圧CVD法により形成する。その後、素子分離用絶縁膜23上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、ゲート電極21を形成する。

【0150】次に、ゲート電極21をマスクとして、柱状突起11内にリン等のn型不純物をイオン注入して、アニール処理を施すことにより、ソース/ドレインとして機能する一対の不純物拡散層22を形成する。

【0151】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第2の実施形態のMOSトランジスタを完成させる。

【0152】以下、第2の実施形態の半導体装置のいくつかの変形例について説明する。なお、第1の実施形態等のMOSトランジスタに対応する構成部材等については同符号を記して説明を省略する。

【0153】(変形例1) 先ず、変形例1について説明する。この変形例1の半導体装置は、第2の実施形態のMOSトランジスタとほぼ同様の構成を有するが、ゲート電極が容量絶縁膜を介した2層導電膜構造とされてなる半導体メモリであり、いわゆるEEPROMとして構成されている。

【0154】即ち、このEEPROMは、図12に示すように、上述した第2の実施形態のMOSトランジスタの構成において、ゲート電極21が、浮遊ゲート電極25aと、この浮遊ゲート電極25aの表面を覆う容量絶縁膜25bと、この容量絶縁膜25bを介して浮遊ゲート電極25aと対向する制御ゲート電極21cとから構成されてなるものである。変形例1のEEPROMにおいては、ゲート電極25、一対の不純物拡散層22によ



リメモリセルが構成され、記憶情報の書き込み及び読み出しが可能となる。

【0155】浮遊ゲート電極25aは、柱状突起11の側面の中央部位をゲート酸化膜12を介して覆い、柱状突起11上でゲート酸化膜12を介して島状となるように分断されて形成されている。ここで、ゲート酸化膜12がいわゆるトンネル絶縁膜として機能することになる。

【0156】制御ゲート電極25cは、浮遊ゲート電極25aの表面に形成された容量絶縁膜21bを介して浮遊ゲート電極25aと対向し、素子分離用絶縁膜23上に帯状に延在している。ここで、容量絶縁膜25bは、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の3層構造に形成されたいわゆるONO膜である。

【0157】この変形例1のEEPROMにおいては、チャンネル幅W1が、第2及び第3のチャンネルで構成されるトランジスタの空乏層の厚みをも規定する。この場合、チャンネル幅W1を極めて狭く、例えば0.15 $\mu$ m程度或いはそれ以下とすれば、第2及び第3のチャンネルは完全に空乏状態となる。即ち、このMOSTランジスタにおいては、素子分離用絶縁膜23により素子分離がなされているため、シリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となつて極めて高い集積度の達成が容易に可能となるとともに、バルク型のMOSTランジスタと同一の半導体基板に形成することができ、SOI構造として極めて高い駆動能力が達成される。

【0158】更に、埋め込み酸化膜41の形成部位を任意に制御することができるため、第1のチャンネルのチャンネル幅W1と同様に、例えば埋め込み酸化膜41の形成部位（及び膜厚）によって決まるチャンネル幅W2'を電子のド・ブロイ（de Broglie）波長程度（例えば0.1 $\mu$ m程度或いはそれ以下）に制御することにより、極めて微細で高機能性を有する1次元の量子化素子を実現される。

【0159】次に、変形例1のEEPROMの製造方法について図12中の破線I-I'に沿った断面に対応する図13を用いて説明する。

【0160】先ず、第2の実施形態における図2(a)～図3(b)の各工程、続く図11(a)～図11

(b)の各工程を経た後、図11(c)で、狭隙6を埋め込むように素子分離用絶縁膜23上にリンドープ或いはノンドープの多結晶シリコン膜を低圧CVD法により形成する。続いて、図13(a)に示すように、素子分離用絶縁膜23上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、多結晶シリコン膜を素子分離用絶縁膜23上で島状に分断して、浮遊ゲート電極25aをパターン形成する。

【0161】次いで、図13(b)に示すように、CVD法により、浮遊ゲート電極25aを覆うように、シリ

コン酸化膜、シリコン窒化膜及びシリコン酸化膜を順次形成し、パターニングすることにより、ONO膜である容量絶縁膜25bを形成する。そして、容量絶縁膜25bを覆うように素子分離用絶縁膜23上にリンドープ或いはノンドープの多結晶シリコン膜を低圧CVD法により形成する。続いて、素子分離用絶縁膜23上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、素子分離用絶縁膜23上で帯状に延在する制御ゲート電極25cをパターン形成する。

【0162】しかる後、ソース/ドレインとして機能する一対の不純物拡散層22を形成し、種々の配線形成工程や層間絶縁膜の形成工程等を経て、変形例1のEEPROMを完成させる。

【0163】なお、このEEPROMを、その記憶状態を2ビット以上の所定値とし、いわゆる多値メモリとして構成することも可能である。この場合、記憶状態がnビット（nは2以上の整数）であれば、2<sup>n</sup>種のしきい値電圧を設定すればよい。例えば記憶状態が2ビットである場合、4種のしきい値電圧を記憶状態“00”、“01”、“10”、“11”に対応させ、読み出し時に所定の判定動作により前記4種のうちからEEPROMの各メモリセルの1つの記憶状態を特定する。この多値EEPROMによれば、上述した諸効果に加え、各メモリセルの記憶密度が大幅に向上するため、更なる高集積化や微細化の要請に十分に 대응することができる。

【0164】（変形例2）続いて、変形例2について説明する。この変形例2の半導体装置は、第2の実施形態のMOSTランジスタとほぼ同様の構成を有するが、ゲート電極に隣接してメモリキャパシタが設けられてなる半導体メモリであり、いわゆるDRAMとして構成されている。

【0165】即ち、このDRAMは、図14に示すように、上述した第2の実施形態のMOSTランジスタの構成に加えて、ゲート電極21に隣接し、一対の不純物拡散層22の一方と容量絶縁膜26を介して対向するキャパシタ電極27が設けられて構成されている。この場合、一方の不純物拡散層22とキャパシタ電極27とが容量結合し、メモリキャパシタとして機能することになる。

【0166】容量絶縁膜26は、素子分離用絶縁膜23と一方の不純物拡散層22との間に形成された狭隙6の内壁面を含み、素子分離用絶縁膜23上から一方の不純物拡散層22上を通してゲート電極21及びゲート酸化膜12を覆うシリコン酸化膜からなるサイドウォール29bとキャップ絶縁膜29aの上に達するように形成されている。この容量絶縁膜26は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の3層構造に形成されたいわゆるONO膜である。

【0167】キャパシタ電極27は、溝28内を埋め込み、容量絶縁膜26上を覆うようにパターン形成されて

【0172】続いて、図15(b)に示すように、全面にシリコン酸化膜を堆積させた後、このシリコン酸化膜の全面を異方性エッチングして、ゲート電極21及びキャップ絶縁膜29aの側面のみにシリコン酸化膜を残し、サイドウォール29bを形成する。次に、キャップ 50

【０１７７】（第３の実施形態）続いて、本発明の第３の実施形態について説明する。この第３の実施形態のＭＯＳトランジスタは、第１の実施形態のそれとほぼ同様の構成を有するが、２ゲート構造を有する点で相違する。図１６は、第３の実施形態のＭＯＳトランジスタに主要構成を示す概略斜視図であり、図１７は、このＭＯＳトランジスタの製造方法の主要部を工程順に示す概略断面図である。なお、第１の実施形態の構成部材等に対

応するものについては同符号を記す。

【0178】この第3の実施形態のMOSトランジスタは、p型のシリコン半導体基板1の表面に極めて薄い厚みの活性領域となる柱状突起11が加工形成され、柱状突起11の中央部位の両側面をそれぞれ覆う一対のゲート電極51、52と、柱状突起11の上部及び柱状突起11の近傍のシリコン半導体基板1に形成されてなる一対の不純物拡散層53とを有し、柱状突起11の側面を埋め込む素子分離用絶縁膜23が形成されて構成されている。

【0179】ゲート電極51、52は、多結晶シリコン膜からなり、柱状突起11の中央部位の各側面から柱状突起11の下部近傍のシリコン半導体基板1上にかけて形成されたゲート酸化膜12を介して覆い、即ちゲート酸化膜12を介して柱状突起11の側面及びその近傍のシリコン半導体基板1と対向するようにパターン形成されている。

【0180】一対の不純物拡散層53は、柱状突起11のゲート電極51、52の両側の上面部位及び柱状突起11の近傍のシリコン半導体基板1の表面領域にリン(P)等のn型不純物がイオン注入されて形成されており、このMOSトランジスタのソース/ドレインとして機能するものである。ここで、柱状突起11の上面部位に形成された不純物拡散層53は、ゲート電極51、52に共通のものとされる。

【0181】素子分離用絶縁膜23は、シリコン酸化膜からなり、柱状突起11の側面をPSG膜24を介して埋め込むように形成されており、活性領域として機能する柱状突起11をその周囲から絶縁する機能を有するものである。

【0182】第3の実施形態のMOSトランジスタは、以下に示すように、ゲート電極51、52及び柱状突起11から2つのチャネルが形成される。即ち、柱状突起11の両側面において、ゲート電極51、52の長手方向にほぼ直交する方向の幅がゲート長L、シリコン半導体基板1から柱状突起11の上部に形成された不純物拡散層22の下面までの高さがほぼチャネル幅W3として規定されて、互に対向するように第1及び第2のチャネルが構成される。

【0183】ここで、柱状突起11の厚み幅W1は、第1及び第2のチャネルで構成されるトランジスタの空乏層の厚みを規定し、SOI構造における2ゲート型トランジスタ構造と等価の振る舞いをする。この場合、厚みW1を極めて狭く、例えば0.15 $\mu$ m程度或いはそれ以下とすれば、第1及び第2のチャネルは完全に空乏状態となる。即ち、このMOSトランジスタにおいては、素子分離用絶縁膜23により素子分離がなされているためにシリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起11がシリコン半導体

基板1と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI構造的な極めて高い駆動能力が達成される。

【0184】続いて、第3の実施形態のMOSトランジスタの製造方法について、図2(a)～図2(d)、続く図3(a)～図3(b)及び図16中の破線I-I'に沿った断面に対応する図17を用いて説明する。

【0185】まず、第1の実施形態と同様に、図2(a)～図2(d)、続く図3(a)～図3(b)の各工程を経て、柱状突起11と素子分離用絶縁膜23との間に、シリコン半導体基板1の柱状突起11の側面におけるゲート電極21の形状に狭隙6を形成する。

【0186】次に、図17(a)に示すように、フォトリソグラフィ及びそれに続くドライエッチングを施すことにより、素子分離用絶縁膜23の上面を所定厚分だけ除去する。

【0187】続いて、柱状突起11の側面及び狭隙6の底面(即ち、露出したシリコン半導体基板1の表面の一部)を熱酸化して、ゲート酸化膜12を膜厚5nm～10nm程度に形成する。

【0188】次に、図17(b)に示すように、シリコン半導体基板1の全面に所定のドーズ量及び所定の加速エネルギーにより砒素(As)等のn型不純物のイオン注入を施す。ここでは、柱状突起11の上面領域及び柱状突起11の近傍のシリコン半導体基板1の表面領域に、不純物が導入されるように、ドーズ量を $5 \times 10^{15} \sim 1 \times 10^{16}$ (1/cm<sup>2</sup>)、加速エネルギーを50～70(k eV)に設定して、イオン注入を施す。続いて、シリコン半導体基板1にアニール処理を施すことにより、

柱状突起11の上面領域及び柱状突起11の近傍のシリコン半導体基板1の表面領域にそれぞれ不純物拡散層53を形成する。

【0189】次に、図17(c)に示すように、狭隙6を埋め込み柱状突起11を覆うように素子分離用絶縁膜23上にリンドープ或いはノンドープの多結晶シリコン膜を低圧CVD法により形成する。続いて、素子分離用絶縁膜23上の多結晶シリコン膜を柱状突起11をストッパーとして、例えばCMP法により研磨して、柱状突起11により多結晶シリコン膜を分離する。その後、フォトリソグラフィ及びそれに続くドライエッチングを施して、ゲート電極51、52を形成する。

【0190】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第3の実施形態のMOSトランジスタを完成させる。

【0191】なお、第3の実施形態において、不純物拡散層53を柱状突起11の上面領域と下面領域の2箇所形成し、これら不純物拡散層53をゲート電極51、52で共有するように形成してもよい。

【0192】(第4の実施形態) 続いて、本発明の第4の実施形態について説明する。この第4の実施形態のM

45

OSトランジスタは、第1の実施形態のそれとほぼ同様の構成を有するが、ソース/ドレインを共有して並列接続された3つのトランジスタが形成されている点で相違する。図18は、第4の実施形態のMOSトランジスタに主要構成を示す概略斜視図であり、図19は、このMOSトランジスタの製造方法の主要工程を工程順に示す概略断面図である。なお、第1の実施形態の構成部材等に対応するものについては同符号を記す。

【0193】この第4の実施形態のMOSトランジスタは、p型のシリコン半導体基板1の表面に極めて薄い厚みの活性領域となる柱状突起11が加工形成され、柱状突起11の側面の中央部位をゲート酸化膜12を介して覆い、互いに対向配置されてなるゲート電極61、62と、これらゲート電極61、62の両側における柱状突起11に形成されてなる一対の不純物拡散層22と、柱状突起11の上面にゲート酸化膜12を介して接続されたゲート電極63とを有し、柱状突起11の側面を埋め込む素子分離用絶縁膜23が形成されて構成されている。

【0194】ゲート電極61、62は、多結晶シリコン膜からなり、柱状突起11の中央部位から柱状突起11の下部近傍のシリコン半導体基板1上にかけて形成されたゲート酸化膜12を介して形成されており、互いに電気的に分離されて素子分離用絶縁膜23上で帯形状に延在するように対向配置されている。

【0195】ゲート電極63は、柱状突起11の上面のゲート酸化膜12上に接続され、更にゲート電極61、62上に層間絶縁膜73を介してゲート電極61、62とほぼ平行に延在するように配置されている。

【0196】一対の不純物拡散層22は、柱状突起11のゲート電極21の両側にリン(P)等のn型不純物がイオン注入されて形成されており、このMOSトランジスタのソース/ドレインとして機能するものである。

【0197】素子分離用絶縁膜23は、シリコン酸化膜からなり、柱状突起11の側面をPSG膜24を介して埋め込むように形成されており、活性領域として機能する柱状突起11をその周囲から絶縁する機能を有するものである。

【0198】第4の実施形態のMOSトランジスタは、一対の不純物拡散層22を共有し、。各々が並列接続してなる第1、第2及び第3のトランジスタを有して構成されている。第1のトランジスタは、柱状突起11の側面でゲート酸化膜12を介して配されたゲート電極61及び不純物拡散層22から構成されており、第2のトランジスタは、柱状突起11の側面でゲート酸化膜12を介して配されたゲート電極62及び不純物拡散層22から構成され、第3のトランジスタは、柱状突起11の上面でゲート酸化膜12を介して配されたゲート電極63及び不純物拡散層22から構成されている。

【0199】ここで、第1、第2のトランジスタにおい

46

ては、柱状突起11の両側面で、ゲート電極61、62のゲート長がL、柱状突起11の高さがチャンネル幅W2として規定されて、互いに対向するように第1及び第2のチャンネルが構成される。一方、第3のトランジスタにおいては、柱状突起11の上面で、ゲート電極63のゲート長がL、柱状突起11の長手方向にほぼ直交する方向の幅がチャンネル幅W1として規定されて、第3のチャンネルが構成される。

【0200】各々が並列に接続されてなる第1～第3のトランジスタA1～A3の等価回路を図20に示す。この場合、各トランジスタA1～A3のコンダクタンス $\beta$ は、ゲート酸化膜12の誘電率を $C_{ox}$ 、ゲート長をL、チャンネル幅をW、各ゲートへの入力電圧を $V_g$ 、しきい値電圧を $V_{th}$ とすると、

$$\beta = \mu C_{ox} (W/L) (V_g - V_{th})$$

と定義される。この場合、第1のトランジスタA1と第2のトランジスタA2のコンダクタンスは同一の $\beta_1$ 、第3のトランジスタA3のコンダクタンスは $\beta_1$ と異なる $\beta_2$ となる。

【0201】このMOSトランジスタの静特性を図21に示す。各トランジスタにおけるゲート入力に応じて、第1のトランジスタA1のみオンしたときには、コンダクタンスが $\beta_1$ となり、第1及び第2のトランジスタA1、A2のみオンしたときには、コンダクタンスが $2\beta_1$ 、第1～第3のトランジスタA1～A3が全てオンしたときには、コンダクタンスが $2\beta_1 + \beta_2$ となる。即ちこの場合、第1～第3のトランジスタA1～A3が全てオフの場合を含めて4通りの特性が実現可能となる。

【0202】第4の実施形態のMOSトランジスタをインバータに適用して、分周器を構成した一例を図22に示す。各インバータ64は、図23に示すような回路構成を有している。ここで、第3のトランジスタA3へのゲート入力外部信号 $\phi$ を用いて切り換えることにより、第1～第3のトランジスタA1～A3に2種類の駆動状態を持たせることで、分周器における周波数を制御することができる。

【0203】このように、第4の実施形態のMOSトランジスタによれば、素子分離用絶縁膜23により素子分離がなされているためにシリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となって高集積化が実現するのみならず、複数（例えば4通り）のコンダクタンスをSOI構造的な極めて高い駆動能力をもって達成することが可能となる。

【0204】続いて、第4の実施形態のMOSトランジスタの製造方法について、図2(a)～図2(d)、続く図3(a)～図3(c)及び図18中の破線I-I'に沿った断面に対応する図19を用いて説明する。

【0205】先ず、第1の実施形態と同様に、図2(a)～図2(d)、続く図3(a)～図3(c)の各工程を経て、柱状突起11と素子分離用絶縁膜23との

47

間に、シリコン半導体基板 1 の柱状突起 11 の側面におけるゲート電極 21 の形状に狭隙 6 を形成し、柱状突起 11 の側面及び狭隙 6 の底面を熱酸化して、ゲート酸化膜 12 を形成する。

【0206】次に、図 19 (a) に示すように、狭隙 6 を埋め込むように素子分離用絶縁膜 23 上にリンドーブ或いはノンドーブの多結晶シリコン膜 71 を低圧 CVD 法により形成する。続いて、この多結晶シリコン膜 71 にフォトリソグラフィ及びそれに続くドライエッチングを施して、素子分離用絶縁膜 23 上で所定の帯形状となるように加工する。

【0207】続いて、帯形状の多結晶シリコン膜 71 をマスクとして、柱状突起 11 内にリン等の n 型不純物をイオン注入して、アニール処理を施すことにより、ソース/ドレインとして機能する一対の不純物拡散層 22 を形成する。

【0208】次に、図 19 (b) に示すように、多結晶シリコン膜 71 にフォトリソグラフィ及びそれに続くドライエッチングを施して、柱状突起 11 の上面に形成されたゲート酸化膜 12 の一部を露出させるとともに、多結晶シリコン膜 71 をゲート酸化膜 12 を介した柱状突起 11 上で分断する溝部 72 を形成する。このとき、ゲート酸化膜 12 を介して柱状突起 11 の側面の中央部 20 位から柱状突起 11 の下部近傍のシリコン半導体基板 1 上にかけて形成され、互いに対向配置されてなるゲート電極 61、62 が形成される。

【0209】次に、図 19 (c) に示すように、溝部 72 の内壁に熱酸化を施す。ここで、上述の溝部 72 を形成する際のパターニングでゲート酸化膜 12 が除去されてしまった場合には、再び柱状突起 11 の上面にゲート酸化膜 12 が形成されることになる。

【0210】続いて、低圧 CVD 法により、溝部 72 を埋め込むように全面にシリコン酸化膜がらなる層間絶縁膜 73 を形成する。続いて、この層間絶縁膜 73 の溝部 72 に相当する一部位にフォトリソグラフィ及びそれに続くドライエッチングを施して、柱状突起 11 の上面に形成されたゲート酸化膜 12 の一部を露出させる溝部 74 を形成する。

【0211】次に、図 19 (d) に示すように、低圧 CVD 法により、溝部 74 を埋め込むように全面に多結晶シリコン膜を形成する。続いて、この多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施し、層間絶縁膜 73 上でゲート電極 61、62 とほぼ平行となる帯形状に加工して、ゲート電極 63 を形成する。

【0212】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第 4 の実施形態の MOS トランジスタを完成させる。

【0213】続いて、第 4 の実施形態の MOS トランジスタのいくつかの変形例について説明する。なお、第 1

48

の実施形態等の MOS トランジスタに対応する構成部材等については同符号を記して説明を省略する。

【0214】(変形例 1) 先ず、変形例 1 について説明する。この変形例 1 の MOS トランジスタは、第 4 の実施形態のそれとほぼ同様の構成を有するが、その製造方法が一部異なる点で相違する。図 24 は、この変形例の MOS トランジスタの製造方法の主要な数工程を示す概略断面図である。

【0215】先ず、図 19 (a) までは第 4 の実施形態の場合と同様であり、狭隙 6 を埋め込むように素子分離用絶縁膜 23 上に多結晶シリコン膜 71 を形成する。

【0216】次に、図 24 (a) に示すように、低圧 CVD 法等により、多結晶シリコン膜 71 上にシリコン酸化膜 75 を形成する。続いて、シリコン酸化膜 75 及び多結晶シリコン膜 71 にフォトリソグラフィ及びそれに続くドライエッチングを施して、素子分離用絶縁膜 23 上で所定の帯形状となるように加工する。

【0217】続いて、帯形状のシリコン酸化膜 75 をマスクとして、柱状突起 11 内にリン等の n 型不純物をイオン注入し、アニール処理を施すことにより、ソース/ドレインとして機能する一対の不純物拡散層 22 を形成する。

【0218】次に、図 24 (b) に示すように、シリコン酸化膜 75 及び多結晶シリコン膜 71 にフォトリソグラフィ及びそれに続くドライエッチングを施して、柱状突起 11 の上面に形成されたゲート酸化膜 12 の一部を露出させるとともに、多結晶シリコン膜 71 をゲート酸化膜 12 を介した柱状突起 11 上で分断する溝部 72 を形成する。このとき、ゲート酸化膜 12 を介して柱状突起 11 の側面の中央部 20 位から柱状突起 11 の下部近傍のシリコン半導体基板 1 上にかけて形成され、互いに対向配置されてなるゲート電極 61、62 及びこれらのキャップ絶縁膜 65、66 が形成される。

【0219】次に、図 24 (c) に示すように、溝部 72 の内壁に熱酸化を施す。ここで、上述の溝部 72 を形成する際のパターニングでゲート酸化膜 12 が除去されてしまった場合には、再び柱状突起 11 の上面にゲート酸化膜 12 が形成されることになる。

【0220】続いて、低圧 CVD 法により、溝部 72 内を含む全面に絶縁膜、ここではシリコン窒化膜を形成し、このシリコン窒化膜の全面を異方性ドライエッチングすることにより、溝部 72 内の側壁を含むゲート電極 61、62 及びキャップ絶縁膜 65、66 の露出した側面を覆うサイドウォール 76 を形成する。このとき、ゲート電極 61、62 は、キャップ絶縁膜 65、66 及びサイドウォール 76 により完全に覆われている。

【0221】次に、図 24 (d) に示すように、低圧 CVD 法により、溝部 72 をサイドウォール 63 を介して埋め込むように全面に多結晶シリコン膜を形成する。続いて、この多結晶シリコン膜にフォトリソグラフィ及

49

びそれに続くドライエッチングを施し、キャップ絶縁膜 65、66 上でゲート電極 61、62 とほぼ平行となる帯形状に加工して、ゲート電極 63 を形成する。

【0222】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第 4 の実施形態の変形例 1 の MOS トランジスタを完成させる。

【0223】この変形例 1 によれば、第 4 の実施形態の奏する諸効果に加え、サイドウォール 76 により、ゲート電極 63 をゲート電極 61、62 との確実な絶縁を確保しつつ所望の部位に正確に形成することができる。

【0224】(変形例 2) 続いて、変形例 2 について説明する。この変形例 2 の半導体装置は、第 4 の実施形態の MOS トランジスタとほぼ同様の構成を有するが、ゲート電極が容量絶縁膜を介した 2 層導電膜構造とされてなる半導体メモリであり、いわゆる EEPROM として構成されている。

【0225】即ち、この EEPROM は、図 25 に示すように、上述した第 4 の実施形態の MOS トランジスタの構成において、ゲート電極 63 が、浮遊ゲート電極 63a と、この浮遊ゲート電極 63a の表面を覆う容量絶縁膜 63b と、この容量絶縁膜 63b を介して浮遊ゲート電極 63a と対向する制御ゲート電極 63c とから構成されてなるものである。変形例 2 の EEPROM においては、ゲート電極 63、一対の不純物拡散層 22 によりメモリセルが構成され、記憶情報の書き込み及び読み出しが可能となる。

【0226】浮遊ゲート電極 63a は、柱状突起 11 の上面でゲート酸化膜 12 の一部を露出させる溝部 74 の内壁面のみを覆うように形成され、溝部 74 の底面ではゲート酸化膜 12 を介して柱状突起 11 の上面と対向している。ここで、ゲート酸化膜 12 がいわゆるトンネル絶縁膜として機能することになる。

【0227】制御ゲート電極 63c は、浮遊ゲート電極 63a の表面に形成された容量絶縁膜 63b を介して溝部 74 の内壁面で浮遊ゲート電極 63a と対向し、層間絶縁膜 73 上でゲート電極 61、62 と略平行となるように帯状に延在している。ここで、容量絶縁膜 63b は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造に形成されたいわゆる ONO 膜である。

【0228】この変形例 2 の EEPROM においては、第 4 の実施形態の MOS トランジスタと同様に、素子分離用絶縁膜 23 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となつて高集積化が実現するのみならず、複数(例えば 4 通り)のコンダクタンスを SOI 構造的な極めて高い駆動能力をもって達成し、小さな占有面積で大きな記憶容量を実現することが可能となる。

【0229】次に、変形例 2 の EEPROM の製造方法について図 25 中の破線 I-I' に沿った断面に対応する図 26 を用いて説明する。

50

【0230】先ず、第 4 の実施形態における図 2(a)～図 3(b)の各工程、続く図 19(a)～19(c)の工程を経た後、図 26(a)に示すように、溝部 74 の内壁面を覆い、溝部 74 の幅の半値より小さい所定の膜厚となるように、層間絶縁膜 73 上にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成する。続いて、層間絶縁膜 73 上の多結晶シリコン膜を化学機械研磨(CMP)法により除去する。このとき、溝部 74 の内壁面のみを覆うように多結晶シリコン膜が残存し、これが島状の浮遊ゲート電極 63a となる。

【0231】次いで、図 26(b)に示すように、CVD 法により、浮遊ゲート電極 63a を溝部 74 内で覆うように、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を順次形成し、パターニングすることにより、ONO 膜である容量絶縁膜 63b を形成する。そして、溝部 74 を埋め込み容量絶縁膜 63b を介して浮遊ゲート電極 63a と溝部 74 内で対向するように全面にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成する。続いて、層間絶縁膜 73 上の多結晶シリコン膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、層間絶縁膜 73 上で帯状に延在する制御ゲート電極 63c をパターン形成する。

【0232】しかる後、ソース/ドレインとして機能する一対の不純物拡散層 22 を形成し、種々の配線形成工程や層間絶縁膜の形成工程等を経て、変形例 2 の EEPROM を完成させる。

【0233】なお、この EEPROM を、その記憶状態を 2 ビット以上の所定値とし、いわゆる多値メモリとして構成することも可能である。この場合、記憶状態が  $n$  ビット( $n$  は 2 以上の整数)であれば、 $2^n$  種のしきい値電圧を設定すればよい。例えば記憶状態が 2 ビットである場合、4 種のしきい値電圧を記憶状態“00”、“01”、“10”、“11”に対応させ、読み出し時に所定の判定動作により前記 4 種のうちから EEPROM の各メモリセルの 1 つの記憶状態を特定する。この多値 EEPROM によれば、上述した諸効果に加え、各メモリセルの記憶密度が大幅に向上するため、更なる高集積化や微細化の要請に十分に応えることができる。

【0234】なお、この変形例 2 の技術は変形例 1 の製造方法に適用することも可能である。この場合、図 24d に相当する様子を、図 26(c)に示す。

【0235】(変形例 3) 続いて、変形例 3 について説明する。この変形例 3 の半導体装置は、第 4 の実施形態の MOS トランジスタとほぼ同様の構成を有するが、ゲート電極に隣接してメモリキャパシタが設けられてなる半導体メモリであり、いわゆる DRAM として構成されている。

【0236】即ち、この DRAM は、図 27 に示すように、上述した第 4 の実施形態の MOS トランジスタの構



51

成に加えて、ゲート電極 61~63 に隣接し、一対の不純物拡散層 22 の一方と容量絶縁膜 26 を介して対向するキャパシタ電極 27 が設けられて構成されている。この場合、一方の不純物拡散層 22 とキャパシタ電極 27 とが容量結合し、メモリキャパシタとして機能することになる。

【0237】容量絶縁膜 26 は、素子分離用絶縁膜 23 と一方の不純物拡散層 22 との間に形成された狭隙 6 の内壁面を含み、素子分離用絶縁膜 23 上から一方の不純物拡散層 22 上を通してゲート電極 61~63 及びゲート酸化膜 12 を覆うシリコン酸化膜からなるサイドウォール 30b とキャップ絶縁膜 30a の上に達するように形成されている。この容量絶縁膜 26 は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造に形成されたいわゆる ONO 膜である。

【0238】キャパシタ電極 27 は、溝 28 内を埋め込み、容量絶縁膜 26 上を覆うようにパターン形成されており、一方の不純物拡散層 22 の上面及び狭隙 6 内で一方の不純物拡散層 22 の側面と容量絶縁膜 26 を介して対向している。即ち、キャパシタ電極 27 が、当該一方の不純物拡散層 22 とその上面及び側面で容量結合してメモリキャパシタとして機能する。そして、このメモリキャパシタと MOS トランジスタとでメモリセルが構成され、記憶情報の書き込み及び読み出しが可能となる。

【0239】この変形例 2 の DRAM においては、第 4 の実施形態の場合と同様に、素子分離用絶縁膜 23 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となって高集積化が実現するのみならず、複数（例えば 4 通り）のコンダクタンスを SOI 構造的な極めて高い駆動能力をもって達成し、小さな占有面積で大きな記憶容量を実現することが可能となる。

【0240】更に、埋め込み酸化膜 41 の形成部位を任意に制御することができるため、第 1 のチャネルのチャネル幅 W1 と同様に、例えば埋め込み酸化膜 41 の形成部位（及び膜厚）によって決まるチャネル幅 W2' を電子のド・ブロイ (de Broglie) 波長程度（例えば 0.10  $\mu\text{m}$  程度或いはそれ以下）に制御することにより、極めて微細で高機能性を有する 1 次元の量子化素子が実現される。

【0241】次に、変形例 2 の DRAM の製造方法について図 26 中の破線 B-B' に沿った断面に対応する図 28 を用いて説明する。

【0242】先ず、第 4 の実施形態における図 2 (a) ~ 図 3 (b) の各工程、続く図 19 (a) ~ 19 (c) の工程を経た後、図 19 (d) で、狭隙 6 を埋め込み且つ溝部 74 を埋め込むように層間絶縁膜 73 上にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成した後、多結晶シリコン膜上にシリコン酸化膜を堆積する。続いて、図 28 (a) に示すように、

52

層間絶縁膜 73 上の多結晶シリコン膜及びシリコン酸化膜にフォトリソグラフィ及びそれに続くドライエッチングを施して、ゲート電極 63 及びそのキャップ絶縁膜 30a をパターン形成する。次に、キャップ絶縁膜 30a をマスクとして、柱状突起 11 内にリン等の n 型不純物を低濃度にイオン注入し、低濃度不純物拡散層 22a を形成する。

【0243】続いて、図 28 (b) に示すように、全面にシリコン酸化膜を堆積させた後、このシリコン酸化膜の全面を異方性エッチングして、ゲート電極 61~63 及びキャップ絶縁膜 30a の側面のみにシリコン酸化膜を残し、サイドウォール 30b を形成する。次に、キャップ絶縁膜 30a 及びサイドウォール 30b をマスクとして、柱状突起 11 内にリン等の n 型不純物を高濃度にイオン注入し、高濃度不純物拡散層 22b を形成し、いわゆる LDD 構造に不純物拡散層 22 を形成する。

【0244】続いて、一方の不純物拡散層 22 側において、柱状突起 11 と素子分離用絶縁膜 23 との間の挟隙 6 内に存する PSG 膜 24 を除去する。次に、図 28 (c) に示すように、挟隙 6 の内壁面を含む全面にシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を順次成膜して ONO 膜を形成した後、この ONO 膜上に多結晶シリコン膜を形成し、この多結晶シリコン膜上にフォトレジストを塗布する。そして、フォトリソグラフィによりフォトレジストを加工してフォトマスク 28 を形成し、これをマスクとして ONO 膜及び多結晶シリコン膜をエッチングしてキャップ絶縁膜 30a 上で分断する。このとき、ONO 膜からなる容量絶縁膜 26 と、この容量絶縁膜 26 を介して一方の不純物拡散層 22 の側面及び上面と対向するキャパシタ電極 27 がパターン形成される。

【0245】続いて、全面を覆う層間絶縁膜 131 を形成した後、この層間絶縁膜 131 に他方の不純物拡散層 22 の表面を露出させるコンタクト孔 132 を形成し、このコンタクト孔 132 を埋め込むようにアルミニウム膜を形成する。そして、このアルミニウム膜をパターニングすることにより、他方の不純物拡散層 22 と接続されて層間絶縁膜 131 上で延在するビット線 133 をパターン形成する。

【0246】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、変形例 3 の DRAM を完成させる。

【0247】（第 5 の実施形態）続いて、本発明の第 5 の実施形態について説明する。この第 5 の実施形態の MOS トランジスタは、第 1 の実施形態のそれとほぼ同様の構成を有するが、2 ゲート構造を有する点で相違する。図 29 は、第 3 の実施形態の MOS トランジスタに主要構成を示す概略斜視図であり、図 30 及び図 31 は、この MOS トランジスタの製造方法の主要部を工程順に示す概略断面図である。なお、第 1 の実施形態の構

53

成部材等に対応するものについては同符号を記す。

【0248】この第5の実施形態のMOSトランジスタは、p型のシリコン半導体基板1の表面に極めて薄い厚みの活性領域となる柱状突起81が加工形成され、柱状突起81の両側面をそれぞれ覆う一対のゲート電極82、83と、柱状突起81の下部のシリコン半導体基板1に形成されてなる一方の不純物拡散層であるソース84と、柱状突起81の上部に形成された他方の不純物拡散層であるドレイン85と、このドレイン85と接続されてなる配線膜86とを有し、柱状突起81の側面を埋め込む素子分離用絶縁膜87が形成されて構成されている。

【0249】柱状突起81は、第1の実施形態の場合と異なり、長手方向の幅がゲート長Lとほぼ等しくなるように加工形成されている。

【0250】ゲート電極82、83は、多結晶シリコン膜からなり、柱状突起81の各側面から柱状突起81の下部近傍のシリコン半導体基板1上にかけて形成されたゲート酸化膜12を介して覆い、即ちゲート酸化膜12を介して柱状突起81の側面の近傍のシリコン半導体基板1と対向するようにパターン形成されている。

【0251】一方の不純物拡散層であるソース84は、柱状突起81の下部のシリコン半導体基板1の表面領域にリン(P)等のn型不純物がイオン注入されて形成されており、他方の不純物拡散層であるドレイン85は、柱状突起81の上面部位にリン(P)等のn型不純物がイオン注入されて形成されている。これらソース84及びドレイン85は、ゲート電極82、83に共通のものとされる。

【0252】配線膜86は、柱状突起81の上面、即ちドレイン85の表面と電気的に接続されており、ゲート電極82、83上で層間絶縁膜93を介してこれらゲート電極82、83とほぼ平行に帯形状に延在しており、いわゆるビット線として機能するものである。

【0253】素子分離用絶縁膜87は、シリコン酸化膜からなり、柱状突起81を覆って埋め込むように形成されており、活性領域として機能する柱状突起81をその周囲から絶縁する機能を有するものである。

【0254】第5の実施形態のMOSトランジスタは、以下に示すように、ゲート電極82、83及び柱状突起81から2つのチャンネルが形成される。即ち、柱状突起81の両側面において、ゲート電極82、83の長手方向にほぼ直交する方向の幅がゲート長L、シリコン半導体基板1からドレイン85の下面までの高さがほぼチャンネル幅W4として規定されて、互いに対向するように第1及び第2のチャンネルが構成される。

【0255】ここで、柱状突起81の厚み幅W1は、第1及び第2のチャンネルで構成されるトランジスタの空乏層の厚みを規定し、SOI構造における2ゲート型トランジスタ構造と等価の振る舞いをする。この場合、厚み

54

W1を極めて狭く、例えば0.15 $\mu$ m程度或いはそれ以下とすれば、第1及び第2のチャンネルは完全に空乏状態となる。即ち、このMOSトランジスタにおいては、素子分離用絶縁膜23により素子分離がなされているためにシリコン半導体基板1内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起81がシリコン半導体基板1と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI構造的な極めて高い駆動能力が達成される。

【0256】続いて、第5の実施形態のMOSトランジスタの製造方法について、図2(a)～図2(d)及び続く図3(a)～図3(c)と、図29中の破線I-I'に沿った断面に対応する図30及び図31とを用いて説明する。

【0257】先ず、第1の実施形態と同様に、図2(a)～図2(d)及び続く図3(a)～図3(c)の各工程を経て、柱状突起81と素子分離用絶縁膜87との間に、シリコン半導体基板1の柱状突起81の側面におけるゲート電極82、83の形状に狭隙6を形成し、柱状突起81の側面及び狭隙6の底面を熱酸化して、ゲート酸化膜12を形成する。但しこの場合、柱状突起81の長手方向の幅をゲート電極82、83のゲート長Lとほぼ等しくする点で、第1の実施形態の場合と相違する。

【0258】次に、図30(a)に示すように、シリコン半導体基板1の全面に所定のドーズ量及び所定の加速エネルギーにより砒素(As)等のn型不純物のイオン注入を施す。ここでは、柱状突起81の上面領域及び柱状突起81の近傍のシリコン半導体基板1の表面領域に不純物が導入されるように、ドーズ量を $5 \times 10^{15} \sim 1 \times 10^{16}$  (1/cm<sup>2</sup>)、加速エネルギーを50～70 (keV)に設定して、イオン注入を施す。続いて、シリコン半導体基板1にアニール処理を施すことにより、柱状突起81の上部の表面領域に一方の不純物拡散層であるドレイン85を、柱状突起81の下部のシリコン半導体基板1の表面領域に他方の不純物拡散層であるソース84をそれぞれ形成する。

【0259】次に、図30(b)に示すように、狭隙6を埋め込むように素子分離用絶縁膜87上にリンドープ或いはノンドープの多結晶シリコン膜91を低圧CVD法により形成する。

【0260】次に、図30(c)に示すように、多結晶シリコン膜91にフォトリソグラフィ及びそれに続くドライエッチングを施して、素子分離用絶縁膜87上で所定の帯形状に加工するとともに、柱状突起81の上面に形成されたゲート酸化膜12の一部を露出させ、多結晶シリコン膜91をゲート酸化膜12を介した柱状突起81上で分断する溝部92を形成する。このとき、ゲート酸化膜12を介して柱状突起81の側面の中央部位か

55

ら柱状突起 8 1 の下部近傍のシリコン半導体基板 1 上にかけて形成され、互に対向配置されてなるゲート電極 8 2, 8 3 が形成される。

【0261】続いて、HF を用いた洗浄を 7 分～10 分程度行うことにより、溝部 9 2 の底面に存するゲート酸化膜 1 2 を完全に除去して柱状突起 8 1 の上面の一部、即ちドレイン 8 5 の表面の一部を露出させる。

【0262】次に、図 3 1 (a) に示すように、低圧 CVD 法により、溝部 9 2 を埋め込むように全面にシリコン酸化膜からなる層間絶縁膜 9 3 を形成する。続いて、この層間絶縁膜 9 3 の溝部 9 2 に相当する一部位にフォトリソグラフィー及びそれに続くドライエッチングを施して、ドレイン 8 5 の表面の一部を露出させる溝部 9 4 を形成する。

【0263】次に、図 3 1 (b) に示すように、低圧 CVD 法により、溝部 9 4 を埋め込むように全面に多結晶シリコン膜を形成する。続いて、この多結晶シリコン膜にフォトリソグラフィー及びそれに続くドライエッチングを施し、層間絶縁膜 9 3 上でゲート電極 8 2, 8 3 とほぼ平行となる帯形状に加工して、溝部 9 4 内を介して柱状突起 8 1 のドレイン 8 5 と電気的に接続させてなる配線膜 8 6 を形成する。

【0264】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第 5 の実施形態の MOS トランジスタを完成させる。

【0265】(変形例) 続いて、第 5 の実施形態の MOS トランジスタの変形例について説明する。この変形例の MOS トランジスタは、第 5 の実施形態のそれとほぼ同様の構成を有するが、その製造方法が一部異なる点で相違する。図 3 2 は、この変形例の MOS トランジスタの製造方法の主要な数工程を示す概略断面図である。なお、第 1 の実施形態の MOS トランジスタに対応する構成部材等については同符号を記して説明を省略する。

【0266】先ず、図 3 0 (b) までは第 5 の実施形態の場合と同様であり、隙隙 6 を埋め込むように素子分離用絶縁膜 2 3 上に多結晶シリコン膜 9 1 を形成する。

【0267】次に、図 3 2 (a) に示すように、低圧 CVD 法等により、多結晶シリコン膜 9 1 上にシリコン酸化膜 9 5 を形成する。

【0268】次に、図 3 2 (b) に示すように、シリコン酸化膜 9 5 及び多結晶シリコン膜 9 1 にフォトリソグラフィー及びそれに続くドライエッチングを施して、素子分離用絶縁膜 2 3 上で所定の帯形状となるように加工するとともに、柱状突起 1 1 の上面に形成されたゲート酸化膜 1 2 の一部を露出させ、多結晶シリコン膜 7 1 をゲート酸化膜 1 2 を介した柱状突起 8 1 上で分断する溝部 9 2 を形成する。このとき、ゲート酸化膜 1 2 を介して柱状突起 1 1 の側面の中央部位から柱状突起 1 1 の下部近傍のシリコン半導体基板 1 上にかけて形成され、互に対向配置されてなるゲート電極 8 2, 8 3 及びこれ

56

らのキャップ絶縁膜 1 0 1, 1 0 2 が形成される。

【0269】続いて、HF を用いた洗浄を 7 分～10 分程度行うことにより、溝部 9 2 の底面に存するゲート酸化膜 1 2 を完全に除去して柱状突起 8 1 の上面の一部、即ちドレイン 8 5 の表面の一部を露出させる。

【0270】続いて、図 3 2 (c) に示すように、低圧 CVD 法により、溝部 9 2 内を含む全面に絶縁膜、ここではシリコン窒化膜を形成し、このシリコン窒化膜の全面を異方性ドライエッチングすることにより、溝部 9 2 の側壁内を含むゲート電極 8 2, 8 3 及びキャップ絶縁膜 1 0 1, 1 0 2 の露出した側面を覆うサイドウォール 9 6 を形成する。このとき、多結晶シリコン膜 7 1 は、キャップ絶縁膜 1 0 1, 1 0 2 及びサイドウォール 9 6 により完全に覆われている。

【0271】次に、図 3 2 (d) に示すように、低圧 CVD 法により、溝部 9 2 をサイドウォール 9 6 を介して埋め込むように全面に多結晶シリコン膜を形成する。続いて、この多結晶シリコン膜にフォトリソグラフィー及びそれに続くドライエッチングを施し、キャップ絶縁膜 1 0 1, 1 0 2 上でゲート電極 8 2, 8 3 とほぼ平行となる帯形状に加工して、溝部 9 4 内を介して柱状突起 8 1 のドレイン 8 5 と電気的に接続させてなる配線膜 8 6 を形成する。

【0272】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第 5 の実施形態の MOS トランジスタを完成させる。

【0273】この変形例によれば、第 5 の実施形態の奏する諸効果に加え、サイドウォール 9 6 により、配線膜 8 6 をゲート電極 8 2, 8 3 との確実な絶縁を確保しつつ所望の部位に正確に形成することができる。

【0274】(第 6 の実施形態) 続いて、本発明の第 6 の実施形態について説明する。この第 6 の実施形態の MOS トランジスタは、第 4 の実施形態のそれとほぼ同様の構成を有するが、その製造方法及び柱状突起の形状、当該柱状突起の上面に形成されたゲート電極の形状が若干異なる点で相違する。図 3 3 は、第 6 の実施形態の MOS トランジスタに主要構成を示す概略斜視図であり、図 3 4～図 3 7 は、この MOS トランジスタの製造方法の主要工程を工程順に示す概略断面図であり、図 3 8 は所定の工程を示す概略平面図である。なお、第 4 の実施形態の構成部材等に対応するものについては同符号を記す。

【0275】この第 6 の実施形態の MOS トランジスタは、p 型のシリコン半導体基板 1 の表面に極めて薄い厚みの活性領域となる柱状突起 1 1 1 が形成され、柱状突起 1 1 1 の側面の中央部位をゲート酸化膜 1 2 を介して覆い、互に対向配置されてなるゲート電極 6 1, 6 2 と、これらゲート電極 6 1, 6 2 の両側における柱状突起 1 1 1 に形成されてなる一対の不純物拡散層 2 2 と、柱状突起 1 1 の上面にゲート酸化膜 1 2 を介して接続さ

57

れたゲート電極 112 とを有し、柱状突起 111 の側面を埋め込む素子分離用絶縁膜 23 が形成されて構成されている。

【0276】柱状突起 111 は、その中央部位が幅 0.1  $\mu\text{m}$  程度に狭く形成された形状を有しており、この柱状突起 111 の形状にパターン形成された多結晶シリコン膜に熱処理が施されて単結晶化したものである。

【0277】ゲート電極 61、62 は、多結晶シリコン膜からなり、柱状突起 111 の幅狭の中央部位から柱状突起 111 の下部近傍のシリコン半導体基板 1 上にかけ 10 て形成されたゲート酸化膜 12 を介して形成されており、互いに電氣的に分離されて素子分離用絶縁膜 23 上で帯形状に延在するように対向配置されている。

【0278】ゲート電極 112 は、柱状突起 111 の上面のゲート酸化膜 12 を露出させる溝部 120 をサイドウォール 121 を介して埋め込むように形成され、ゲート絶縁膜 12 を介して柱状突起 111 と対向している。ここで、このゲート電極 112 を、更にゲート電極 61、62 上に層間絶縁膜 73 を介してゲート電極 61、62 の延在方向と 45 度程度の角度をもって延在するよう 20 に配置してもよい。

【0279】一对の不純物拡散層 22 は、柱状突起 111 のゲート電極 21 の両側にリン (P) 等の n 型不純物がイオン注入されて形成されており、この MOS トランジスタのソース/ドレインとして機能するものである。

【0280】素子分離用絶縁膜 23 は、シリコン酸化膜からなり、柱状突起 111 の側面を埋め込むように形成されており、活性領域として機能する柱状突起 111 をその周囲から絶縁する機能を有するものである。

【0281】第 6 の実施形態の MOS トランジスタは、30 一对の不純物拡散層 22 を共有し、。各々が並列接続してなる第 1、第 2 及び第 3 のトランジスタを有して構成されている。第 1 のトランジスタは、柱状突起 111 の側面でゲート酸化膜 12 を介して配されたゲート電極 61 及び不純物拡散層 22 から構成されており、第 2 のトランジスタは、柱状突起 111 の側面でゲート酸化膜 12 を介して配されたゲート電極 62 及び不純物拡散層 22 から構成され、第 3 のトランジスタは、柱状突起 111 の上面でゲート酸化膜 12 を介して配されたゲート電極 112 及び不純物拡散層 22 から構成されている。 40

【0282】ここで、第 1、第 2 のトランジスタにおいては、柱状突起 111 の両側面で、ゲート電極 61、62 のゲート長が L、柱状突起 111 の高さがチャンネル幅 W2 として規定されて、互に対向するように第 1 及び第 2 のチャンネルが構成される。一方、第 3 のトランジスタにおいては、ゲート電極 112 のゲート長が L、柱状突起 111 の長手方向にほぼ直交する方向の幅がチャンネル幅 W1 として規定されて、第 3 のチャンネルが構成される。

【0283】第 6 の実施形態の MOS トランジスタによ 50

58

れば、第 4 の実施形態の場合と同様に、素子分離用絶縁膜 23 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となつて高集積化が実現するのみならず、複数（例えば 4 通り）のコンダクタンスを SOI 構造的な極めて高い駆動能力をもって達成することが可能となる。

【0284】続いて、第 6 の実施形態の MOS トランジスタの製造方法について、図 32 の断面に対応する図 34 ~ 図 37 及び所定の工程を示す概略平面図である図 37 を用いて説明する。

【0285】先ず、図 34 (a) に示すように、p 型のシリコン半導体基板 1 上に、低圧 CVD 法等により、シリコン酸化膜を形成する。

【0286】続いて、このシリコン酸化膜をパターニングしてシリコン半導体基板 1 の表面の一部を露出させる溝部 114 を形成し、素子分離用絶縁膜 23 を形成する。

【0287】続いて、低圧 CVD 法等により、溝部 114 を埋め込むように、素子分離用絶縁膜 23 上に多結晶シリコン膜 115 を形成し、この多結晶シリコン膜 115 の表面を化学機械研磨 (CMP) 等により平坦化する。

【0288】続いて、低圧 CVD 法等により、多結晶シリコン膜 115 上にシリコン酸化膜 116 を形成する。

【0289】続いて、シリコン酸化膜 116 上にフォトレジストを塗布し、このフォトレジストをフォトリソグラフィにより加工して、フォトマスク 117 を形成する。このフォトマスク 117 は、図 38 (a) に示すように、中央部位が溝部 114 に比して幅狭となるとともに、その他の部位では溝部 114 とフォトマスク 117 との合わせ余裕を確保するために溝部 114 より若干幅広となるように図中で略 H 字形状に形成される。

【0290】次に、図 34 (b) 及び図 38 (b) に示すように、フォトマスク 117 をエッチングマスクとして、シリコン酸化膜 116 及び多結晶シリコン膜 115 をドライエッチングし、溝部 114 内のシリコン半導体基板 1 上において、中央部位では溝部 114 より幅狭で溝部 114 の側壁との間に狭隙 6 が形成されるように、その他の部位では溝部 114 より若干幅広で溝 114 内を充填する形状となるように多結晶シリコン膜 115 を加工するとともに、多結晶シリコン膜 115 と同様の図中で略 H 字形状にシリコン酸化膜 116 を加工する。

【0291】続いて、フォトマスク 117 を灰化処理により除去した後、シリコン半導体基板 1 に 1000℃ ~ 1100℃ 程度の温度で熱処理を施す。このとき、シリコン半導体基板 1 が種となって多結晶シリコン膜 115 を単結晶化させ、柱状突起 111 を形成する。

【0292】次に、図 34 (c) に示すように、所定の酸素雰囲気中で熱酸化を施し、狭隙 6 内で露出した柱状突起 111 の側面及びシリコン半導体基板 1 の表面にゲ

59

ート絶縁膜 12 を形成する。

【0293】次に、図 35 (a) に示すように、低圧 CVD 法等により、狭隙 6 内を含む全面に多結晶シリコン膜 118 を形成する。

【0294】続いて、図 38 (c) に示すように、多結晶シリコン膜 118 にフォトリソグラフィー及びそれに続くドライエッチングを施して、柱状突起 111 の幅狭の中央部位を含む溝部 114 の長手方向と略直交する方向に延在する帯形状となるように多結晶シリコン膜 118 を加工するとともに、多結晶シリコン膜 118 の両側 10 に存するシリコン酸化膜 116 を除去して柱状突起 111 の上面を露出させる。

【0295】続いて、帯形状の多結晶シリコン膜 118 及びその下層のシリコン酸化膜 116 をマスクとして、柱状突起 111 内にリン等の n 型不純物をイオン注入して、アニール処理を施すことにより、ソース/ドレインとして機能する一対の不純物拡散層 22 を形成する。

【0296】次に、図 35 (b) 及び図 38 (d) に示すように、シリコン酸化膜 116 をストッパーとして多結晶シリコン膜 118 を化学機械研磨 (CMP) 法等により研磨し、シリコン酸化膜 116 で多結晶シリコン膜 118 を分断して、ゲート電極 61、62 を形成する。 20

【0297】次に、図 35 (c) に示すように、シリコン酸化膜 116、ゲート電極 61 及び 62 及び柱状突起 111 を埋め込むように全面にシリコン酸化膜 119 を形成し、表面を化学機械研磨 (CMP) 法等により研磨して平坦化する。

【0298】次に、図 36 (a) に示すように、柱状突起 111 の中央部位における上面をストッパーとして、シリコン酸化膜 119、シリコン酸化膜 116、ゲート 30 電極 61、62 の一部をパターニングし、溝部 120 を形成する。

【0299】次に、図 36 (b) に示すように、溝部 120 を含む全面にシリコン窒化膜を形成し、このシリコン窒化膜の全面を異方性ドライエッチングして、溝部 120 内でのゲート電極 61、62 及びシリコン酸化膜 119 の側壁にサイドウォール 121 を形成する。このとき、ゲート電極 61、62 は、シリコン酸化膜 119 及びサイドウォール 121 により完全に覆われたかたちとなる。

【0300】続いて、溝部 120 の内壁に熱酸化を施す。ここで、上述の溝部 120 を形成する際のパターニングでゲート酸化膜 12 が除去されてしまった場合には、再び柱状突起 111 の露出した上面にゲート酸化膜 12 が形成されることになる。

【0301】次に、図 37 (a) に示すように、低圧 CVD 法等により、溝部 120 内を含む全面に多結晶シリコン膜 122 を形成する。

【0302】次に、図 37 (b) に示すように、シリコン酸化膜 119 をストッパーとして多結晶シリコン膜 1 40

60

22 を化学機械研磨 (CMP) 等により研磨し、溝部 120 内を充填するゲート電極 112 を形成する。ここで、図示は省略するが、多結晶シリコン膜 122 をパターニングして、溝部 120 をゲート絶縁膜 12 を介して充填するとともに、ゲート電極 61、62 の延在方向と 45 度程度の角度をもって延在する帯形状のゲート電極 112 を形成してもよい。

【0303】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第 6 の実施形態の MOS トランジスタを完成させる。

【0304】この第 6 の実施形態の製造方法によれば、単結晶シリコンからなる柱状突起 111 を、シリコン半導体基板 1 を加工することなく多結晶シリコン膜 115 から容易に形成することが可能となる。更に、サイドウォール 76 により、ゲート電極 63 をゲート電極 61、62 との確実な絶縁を確保しつつ所望の部位に正確に形成することができる。

【0305】続いて、第 6 の実施形態の MOS トランジスタのいくつかの変形例について説明する。なお、第 4 の実施形態等の MOS トランジスタに対応する構成部材等については同符号を記して説明を省略する。

【0306】(変形例 1) 先ず、変形例 1 について説明する。この変形例 1 の半導体装置は、第 6 の実施形態の MOS トランジスタとほぼ同様の構成を有するが、ゲート電極が容量絶縁膜を介した 2 層導電膜構造とされてなる半導体メモリであり、いわゆる EEPROM として構成されている。なお、この変形例においては、EEPROM の構成をその製造方法と共に説明する。図 39 は、この MOS トランジスタの製造方法の主要工程を工程順に示す概略断面図であり、第 6 の実施形態における図 33 の破線 I-I' に沿った断面に相当している。

【0307】先ず、第 6 の実施形態における図 34 (a) ~ 図 34 (c)、図 35 (a) ~ 図 35 (c)、続く図 36 (a) ~ 図 36 (b) の各工程を経た後、図 39 (a) に示すように、溝部 120 の底面及びサイドウォール 121 の側面を覆い、溝部 120 の底面幅の半値より小さい所定の膜厚となるように、層間絶縁膜 119 上にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成する。続いて、層間絶縁膜 119 上の多結晶シリコン膜を化学機械研磨 (CMP) 法により除去する。このとき、溝部 120 の底面及びサイドウォール 121 の側面のみを覆うように多結晶シリコン膜が残存し、これが島状の浮遊ゲート電極 112a となる。

【0308】次いで、図 39 (b) に示すように、CVD 法により、浮遊ゲート電極 112a を溝部 120 内で覆うように、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜を順次形成し、パターニングすることにより、ONO 膜である容量絶縁膜 112b を形成する。そして、溝部 120 を埋め込み容量絶縁膜 112b を介し

61

て浮遊ゲート電極 63a と溝部 120 の底面に対向するように全面にリンドープ或いはノンドープの多結晶シリコン膜を低圧 CVD 法により形成する。続いて、層間絶縁膜 119 上の多結晶シリコン膜を化学機械研磨 (CMP) 法により除去し、溝部 120 を充填し、当該溝部 120 内で容量絶縁膜 112b を介して浮遊ゲート電極 112a と対向する制御ゲート電極 112c を形成する。

【0309】しかる後、ソース/ドレインとして機能する一対の不純物拡散層 22 を形成し、種々の配線形成工程や層間絶縁膜の形成工程等を経て、変形例の EEPROM を完成させる。

【0310】即ち、この EEPROM は、図 39 (b) に示すように、上述した第 6 の実施形態の MOS トランジスタの構成において、ゲート電極 112 が、浮遊ゲート電極 112a と、この浮遊ゲート電極 112a の表面を覆う容量絶縁膜 112b と、この容量絶縁膜 112b を介して浮遊ゲート電極 112a と対向する制御ゲート電極 63c とから構成されてなるものである。変形例 1 の EEPROM においては、ゲート電極 112、一対の不純物拡散層 22 によりメモリセルが構成され、記憶情報 20 の書き込み及び読み出しが可能となる。

【0311】浮遊ゲート電極 112a は、柱状突起 111 の上面でゲート酸化膜 12 の一部を露出させる溝部 120 内のサイドウォール 121 の壁面のみを覆うように形成され、溝部 120 の底面ではゲート酸化膜 12 を介して柱状突起 111 の上面と対向している。ここで、ゲート酸化膜 12 がいわゆるトンネル絶縁膜として機能することになる。

【0312】制御ゲート電極 112c は、浮遊ゲート電極 112a の表面に形成された容量絶縁膜 112b を介して溝部 120 を充填し、当該溝部 120 の底面及びサイドウォール 121 の壁面で浮遊ゲート電極 112a と対向している。ここで、容量絶縁膜 112b は、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の 3 層構造に形成されたいわゆる ONO 膜である。

【0313】この変形例の EEPROM においては、第 6 の実施形態の MOS トランジスタと同様に、素子分離用絶縁膜 23 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となつて高集積化が実現するのみならず、複数 (例えば 4 通り) のコンダクタンスを SOI 構造的な極めて高い駆動能力をもって達成し、小さな占有面積で大きな記憶容量を実現することが可能となる。

【0314】なお、この EEPROM を、その記憶状態を 2 ビット以上の所定値とし、いわゆる多値メモリとして構成することも可能である。この場合、記憶状態が n ビット (n は 2 以上の整数) であれば、 $2^n$  種のしきい値電圧を設定すればよい。例えば記憶状態が 2 ビットである場合、4 種のしきい値電圧を記憶状態 "00", "01", "10", "11" に対応させ、読み出し時に

62

所定の判定動作により前記 4 種のうちから EEPROM の各メモリセルの 1 つの記憶状態を特定する。この多値 EEPROM によれば、上述した諸効果に加え、各メモリセルの記憶密度が大幅に向上するため、更なる高集積化や微細化の要請に十分に 대응することができる。

【0315】また、第 6 の実施形態においては、例えば第 4 の実施形態における変形例 3 のように、ゲート電極 61, 62, 112 に隣接してメモリキャパシタが設けられてなる DRAM を構成してもよい。

【0316】(第 7 の実施形態) 続いて、本発明の第 7 の実施形態について説明する。この第 7 の実施形態の MOS トランジスタは、第 3 及び第 5 の実施形態のそれとほぼ同様の構成を有するが、主にその製造方法が若干異なる点で相違する。図 40 は、第 7 の実施形態の MOS トランジスタに主要構成を示す概略斜視図であり、図 41 ~ 図 43 は、この MOS トランジスタの製造方法の主要工程を工程順に示す概略断面図である。なお、第 3 及び第 5 の実施形態の構成部材等に対応するものについては同符号を記す。

【0317】この第 7 の実施形態の MOS トランジスタは、p 型のシリコン半導体基板 1 の表面に極めて薄い厚みの活性領域となる柱状突起 201 が形成され、柱状突起 201 の中央部位の両側面をそれぞれ覆う一対のゲート電極 202, 203 と、柱状突起 201 の下部のシリコン半導体基板 1 に形成されてなる一方の不純物拡散層であるソース 204 と、柱状突起 201 の上部に形成された他方の不純物拡散層であるドレイン 205 とを有し、柱状突起 201 の側面を埋め込む素子分離用絶縁膜 87 が形成されて構成されている。

【0318】ゲート電極 202, 203 は、多結晶シリコン膜からなり、柱状突起 201 の中央部位の各側面から柱状突起 201 の下部近傍のシリコン半導体基板 1 上に掛けて形成されたゲート酸化膜 12 を介して覆い、即ちゲート酸化膜 12 を介して柱状突起 201 の側面及びその近傍のシリコン半導体基板 1 と対向するようにパターン形成されている。

【0319】柱状突起 201 は、長手方向の幅がゲート長 L とほぼ等しくなるように加工形成されており、この柱状突起 201 の形状にパターン形成された多結晶シリコン膜に熱処理が施されて単結晶化したものである。

【0320】一方の不純物拡散層であるソース 202 は、柱状突起 201 の下部のシリコン半導体基板 1 の表面領域にリン (P) 等の n 型不純物がイオン注入されて形成されており、他方の不純物拡散層であるドレイン 205 は、柱状突起 201 の上面部位にリン (P) 等の n 型不純物がイオン注入されて形成されている。これらソース 204 及びドレイン 205 は、ゲート電極 201, 202 に共通のものとされる。

【0321】素子分離用絶縁膜 87 は、シリコン酸化膜からなり、柱状突起 201 を覆って埋め込むように形成



63

されており、活性領域として機能する柱状突起 201 をその周囲から絶縁する機能を有するものである。

【0322】第7の実施形態のMOSトランジスタは、以下に示すように、ゲート電極 202、203及び柱状突起 201 から2つのチャンネルが形成される。即ち、柱状突起 201 の両側面において、ゲート電極 202、203の長手方向にほぼ直交する方向の幅がゲート長L、シリコン半導体基板 1 からドレイン 205 の下面までの高さがほぼチャンネル幅W4として規定されて、互いに対向するように第1及び第2のチャンネルが構成される。

【0323】ここで、柱状突起 201 の厚み幅W1は、第1及び第2のチャンネルで構成されるトランジスタの空乏層の厚みを規定し、SOI構造における2ゲート型トランジスタ構造と等価の振る舞いをする。この場合、厚みW1を極めて狭く、例えば0.15 $\mu$ m程度或いはそれ以下とすれば、第1及び第2のチャンネルは完全に空乏状態となる。即ち、このMOSトランジスタにおいては、素子分離用絶縁膜 87 により素子分離がなされているためにシリコン半導体基板 1 内に素子分離用絶縁膜を形成することが不要となって極めて高い集積度の達成が容易に可能となるとともに、柱状突起 201 がシリコン半導体基板 1 と一体形成されているために活性領域が基板電位に固定されているにもかかわらず、SOI構造的な極めて高い駆動能力が達成される。

【0324】続いて、第7の実施形態のMOSトランジスタの製造方法について、図40の破線I-I'による断面に対応する図41～図43を用いて説明する。

【0325】先ず、図41(a)に示すように、p型のシリコン半導体基板 1 上に、低圧CVD法等により、シリコン酸化膜を形成する。

【0326】続いて、このシリコン酸化膜をパターニングしてシリコン半導体基板 1 の表面の一部を露出させる溝部 114 を形成し、素子分離用絶縁膜 87 を形成する。

【0327】続いて、低圧CVD法等により、溝部 114 を埋め込むように、素子分離用絶縁膜 87 上に多結晶シリコン膜 115 を形成し、この多結晶シリコン膜 115 の表面を化学機械研磨(CMP)等により平坦化する。

【0328】続いて、低圧CVD法等により、多結晶シリコン膜 115 上にシリコン酸化膜 116 を形成する。

【0329】続いて、シリコン酸化膜 116 上にフォトレジストを塗布し、このフォトレジストをフォトリソグラフィにより加工して、フォトマスク 206 を形成する。このフォトマスク 206 は、長手方向の幅がゲート長Lとほぼ等しくなるように加工形成されている。

【0330】次に、図41(b)に示すように、フォトマスク 206 をエッチングマスクとして、シリコン酸化膜 116 及び多結晶シリコン膜 115 をドライエッチングし、溝部 114 内のシリコン半導体基板 1 上におい

64

て、溝部 114 より幅狭で溝部 114 の側壁との間に狭隙 6 が形成されるようにシリコン酸化膜 116 及び多結晶シリコン膜 115 を加工する。

【0331】続いて、フォトマスク 206 を灰化処理により除去した後、シリコン半導体基板 1 に1000℃～1100℃程度の温度で熱処理を施す。このとき、シリコン半導体基板 1 が種となって多結晶シリコン膜 115 を単結晶化させ、柱状突起 201 を形成する。

【0332】次に、図41(c)に示すように、所定の酸素雰囲気中で熱酸化を施し、狭隙 6 内で露出した柱状突起 201 の側面及びシリコン半導体基板 1 の表面にゲート絶縁膜 12 を形成する。

【0333】次に、図42(a)に示すように、素子分離用絶縁膜 87 をマスクとして、n型不純物の1回目のイオン注入を行う。具体的には、n型不純物であるリン(P)等をシリコン酸化膜 116 を通過して、直下の柱状突起 201 の上面領域にドーピングされるような所定条件でイオン注入する。このとき、前記上面領域にn型不純物がドーピングされるとともに、狭隙 6 の底面から所定深さのシリコン半導体基板 1 の表面領域にn型不純物がドーピングされる。

【0334】次に、図42(b)に示すように、素子分離用絶縁膜 87 をマスクとして、n型不純物の2回目のイオン注入を行う。具体的には、1回目と同様に、n型不純物であるリン等を今度はシリコン酸化膜 116 を通過しないような所定条件でイオン注入する。このとき、n型不純物が前記上面領域にはドーピングされずにシリコン酸化膜 116 内に止まるとともに、狭隙 6 の底面から1回目の場合よりも浅い所定深さのシリコン半導体基板 1 の表面領域にn型不純物がドーピングされる。

【0335】続いて、シリコン半導体基板に所定温度で熱処理を施すことにより、狭隙 6 の底面におけるシリコン半導体基板 1 の表面領域には一方の拡散層であるソース 204 が、柱状突起 201 の上面領域には他方の拡散層であるドレイン 205 がそれぞれ形成される。

【0336】次に、図42(c)に示すように、低圧CVD法等により、狭隙 6 内を含む全面に多結晶シリコン膜 118 を形成する。

【0337】続いて、多結晶シリコン膜 118 にフォトリソグラフィ及びそれに続くドライエッチングを施して、柱状突起 201 の長手方向と略直交する同じ幅となるように多結晶シリコン膜 118 を帯び形状に加工する。

【0338】次に、図43に示すように、シリコン酸化膜 116 をストッパーとして多結晶シリコン膜 118 を化学機械研磨(CMP)法等により研磨し、シリコン酸化膜 116 で多結晶シリコン膜 118 を分断して、ゲート電極 202、203を形成する。

【0339】しかる後、種々の配線形成工程や層間絶縁膜の形成工程等を経て、第6の実施形態のMOSトラン

65

ジスタを完成させる。

【0340】この第7の実施形態の製造方法によれば、単結晶シリコンからなる柱状突起111を、シリコン半導体基板1を加工することなく多結晶シリコン膜115から容易に形成することが可能となる。

【0341】なお、本発明の第1、第2、第4及び第6の実施形態における諸変形例にて説明したEEPROMについて、その書き込み方法及び読み出し方法の機能を実現するように、各種のデバイスを動作させるためのプログラムコード自体及びそのプログラムコードをコンピュータに供給するための手段、例えばかかるプログラムコードを格納した記憶媒体は本発明の範疇に属する。例えば、この記憶媒体としては、図44に示すように、書き込み方法や読み出し方法の各ステップを実現する記憶媒体301が挙げられる。

【0342】またこの場合、記憶再生装置302により、記憶媒体301に格納されているプログラムコードが読み出され、EEPROMが作動する。かかるプログラムコードを記憶する記憶媒体としては、例えばフロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、磁気テープ、不揮発性のメモリカード、ROM等を用いることができる。

【0343】また、コンピュータが供給されたプログラムコードを実行することにより、前述の実施形態の機能が実現されるだけでなく、そのプログラムコードがコンピュータにおいて稼働しているOS（オペレーティングシステム）或いは他のアプリケーションソフト等の共同して前述の実施形態の機能が実現される場合にもかかるプログラムコードは本発明に含まれる。

【0344】更に、供給されたプログラムコードがコンピュータの機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに格納された後、そのプログラムコードの指示に基づいてその機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現されるシステムも本発明に含まれる。

【0345】ここで、例えば前述のEEPROMを各メモリセルに2ビットの記憶情報が可能な多値メモリとした場合において、記憶情報の書き込み方法について説明する。まず、記憶情報“11”を書き込む場合、メモリセルの不純物拡散層22のうちドレインを接地電位とし、ソースを開放し、制御ゲート電極25c（63c，112c）に22V程度を印加する。このとき、ドレインから電子がゲート酸化膜12を通して浮遊ゲート電極25a（63a，112a）に注入され、しきい値電圧（ $V_T$ ）が正方向へシフトする。そして、メモリセルのしきい値電圧が4V程度に上昇する。この記憶状態を“11”とする。

【0346】次に、データ“10”を書き込む場合、メモリセルのドレインを接地電位として、ソースを開放

66

し、制御ゲート電極25c（63c，112c）に20V程度を印加する。このとき、ドレインから電子がゲート酸化膜12を通して浮遊ゲート電極25a（63a，112a）に注入され、メモリセルのしきい値電圧が3V程度となる。この記憶状態を“10”とする。

【0347】次に、データ“01”を書き込む場合、メモリセルのドレインを接地電位として、ソースを開放し、制御ゲート電極25c（63c，112c）に18V程度を印加する。このとき、ドレインから電子がゲート酸化膜12を通して浮遊ゲート電極25a（63a，112a）に注入され、メモリセルのしきい値電圧が2V程度となる。この記憶状態を“01”とする。

【0348】次に、データ“00”を書き込む場合、メモリセルのドレインに10V程度を印加して、ソースを開放し、制御ゲート電極25c（63c，112c）を接地電位とする。このとき、浮遊ゲート電極25a（63a，112a）に注入されていた電子がドレインから引き抜かれ、メモリセルのしきい値電圧が1V程度となる。この記憶状態を“00”とする。

【0349】続いて、例えば前述のEEPROMを各メモリセルに2ビットの記憶情報が可能な多値メモリとした場合において、読み出し方法の各ステップの一例を図45を用いて以下で説明する。まず、メモリセルに記憶された記憶情報の上位ビットが“0”と“1”との何れであるかを判定する。この場合、ソース及びドレイン（一对の不純物拡散層22）と制御ゲート電極25c（63c，112c）に5V程度を印加し（ステップS1）、ドレイン電流をセンスアンプで検出し、しきい値電圧 $V_T$ と比較トランジスタ $T_{r1}$ のしきい値電圧との大小関係を判定する（ステップS2）。このとき、しきい値電圧 $V_T$ がトランジスタ $T_{r1}$ のしきい値電圧より大きい場合には、上位ビットが“1”であると判定され、逆にトランジスタ $T_{r1}$ の電流が小さい場合には上位ビットが“0”であると判定される。

【0350】ここで、しきい値電圧 $V_T$ がトランジスタ $T_{r1}$ のしきい値電圧より大きい場合には、同様の読み出し動作をトランジスタ $T_{r2}$ を用い、メモリセルに流れる電流とトランジスタ $T_{r2}$ に流れる電流とを比較し（ステップS3）、しきい値電圧 $V_T$ がトランジスタ $T_{r1}$ のしきい値電圧より小さい場合には、同様の読み出し動作をトランジスタ $T_{r3}$ を用いて判定する（ステップS4）。

【0351】ステップS3において、上述の読み出し動作でしきい値電圧 $V_T$ がトランジスタ $T_{r2}$ のしきい値電圧より大きい場合には、メモリセルに記憶された記憶情報は“11”であると判定され（ステップS5）、メモリセルから読み出される。一方、ステップS3において、しきい値電圧 $V_T$ がトランジスタ $T_{r2}$ のしきい値電圧より小さい場合には、メモリセルに記憶された記憶情報は“10”であると判定され（ステップS6）、メ

67

メモリセルから読み出される。

【0352】また、ステップS4において、次にトランジスタTr3のしきい値電圧と比較し、メモリセルのしきい値電圧が大きい場合には、メモリセルに記憶された記憶情報は”01”であると判定され（ステップS7）、メモリセルから読み出される。一方、ステップS4において、しきい値電圧V<sub>T</sub>がトランジスタTr3のしきい値電圧より小さい場合には、メモリセルに記憶された記憶情報は”00”であると判定され（ステップS8）、メモリセルから読み出される。

【0353】

【発明の効果】本発明によれば、一対のソース／ドレインに対応した複数のチャネルを有し、しかも通常のバルク型のトランジスタと同一の半導体基板上に選択的に形成され、超微細構造且つ高駆動能力を有する半導体装置が実現される。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図2】本発明の第1の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図3】図2に引き続き、本発明の第1の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図4】本発明の第1の実施形態の変形例1に係るMOSトランジスタの製造方法の初めの数工程を示す概略断面図である。

【図5】本発明の第1の実施形態の変形例2に係るEEPROMの主要構成を示す概略斜視図である。

【図6】本発明の第1の実施形態の変形例2に係るEEPROMの製造方法を工程順に示す概略断面図である。

【図7】本発明の第1の実施形態の変形例3に係るDRAMの主要構成を示す概略斜視図である。

【図8】本発明の第1の実施形態の変形例3に係るDRAMの製造方法を工程順に示す概略断面図である。

【図9】本発明の第1の実施形態の変形例3に係るDRAMのたの例の主要構成を示す概略斜視図である。

【図10】本発明の第2の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図11】本発明の第2の実施形態のMOSトランジスタの製造方法の主要工程を順に示す概略断面図である。

【図12】本発明の第2の実施形態の変形例1に係るEEPROMの主要構成を示す概略斜視図である。

【図13】本発明の第2の実施形態の変形例1に係るEEPROMの製造方法を工程順に示す概略断面図である。

【図14】本発明の第2の実施形態の変形例2に係るDRAMの主要構成を示す概略斜視図である。

【図15】本発明の第2の実施形態の変形例2に係るDRAMの製造方法を工程順に示す概略断面図である。

68

【図16】本発明の第3の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図17】本発明の第3の実施形態のMOSトランジスタの製造方法の主要工程を順に示す概略断面図である。

【図18】本発明の第4の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図19】本発明の第4の実施形態のMOSトランジスタの製造方法の主要工程を順に示す概略断面図である。

【図20】本発明の第4の実施形態のMOSトランジスタの主構成要素である第1～第3のトランジスタの回路構成を示す等価回路図である。

【図21】本発明の第4の実施形態のMOSトランジスタの静特性を示す特性図である。

【図22】本発明の第4の実施形態のMOSトランジスタをインバータに適用して、分周器を構成した一例を示す回路図である。

【図23】図22に示した各インバータの回路構成を示す等価回路図である。

【図24】本発明の第4の実施形態の変形例1に係るMOSトランジスタの製造方法の主要な数工程を示す概略断面図である。

【図25】本発明の第4の実施形態の変形例2に係るEEPROMの主要構成を示す概略斜視図である。

【図26】本発明の第4の実施形態の変形例2に係るEEPROMの製造方法を工程順に示す概略断面図である。

【図27】本発明の第4の実施形態の変形例3に係るDRAMの主要構成を示す概略斜視図である。

【図28】本発明の第4の実施形態の変形例3に係るDRAMの製造方法を工程順に示す概略断面図である。

【図29】本発明の第5の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図30】本発明の第5の実施形態のMOSトランジスタの製造方法の主要工程を順に示す概略断面図である。

【図31】図30に引き続き、本発明の第5の実施形態のMOSトランジスタの製造方法の主要工程を順に示す概略断面図である。

【図32】本発明の第5の実施形態の変形例に係るMOSトランジスタの製造方法の主要な数工程を示す概略断面図である。

【図33】本発明の第6の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図34】本発明の第6の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図35】図34に引き続き、本発明の第6の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図36】図35に引き続き、本発明の第6の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

69

【図37】図36に引き続き、本発明の第6の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図38】本発明の第6の実施形態のMOSトランジスタの製造方法の主要工程を順に示す概略平面図である。

【図39】本発明の第6の実施形態の変形例に係るEEPROMの主要構成を示す概略断面図である。

【図40】本発明の第7の実施形態のMOSトランジスタに主要構成を示す概略斜視図である。

【図41】本発明の第7の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図42】図41に引き続き、本発明の第7の実施形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図43】図42に引き続き、本発明の第7の実施形態のMOSトランジスタの製造方法を示す概略断面図である。

【図44】EEPROMの読み出しや書き込みを行う際に用いる記憶再生装置及び記憶媒を示す模式図である。

【図45】多値のEEPROMを用いて記憶情報を判定し読み出す際の各ステップを示すフローチャートである。

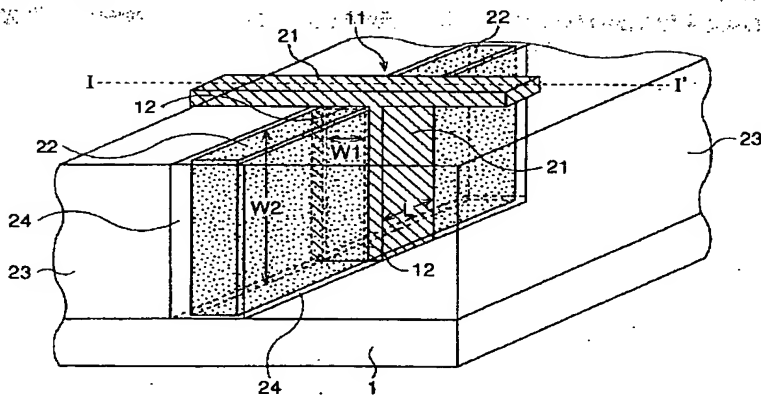
#### 【符号の説明】

- 1 シリコン半導体基板
- 2 パッド熱酸化膜
- 3 シリコン窒化膜
- 4 レジストマスク
- 5, 33 サイドウォール
- 6 狭隙

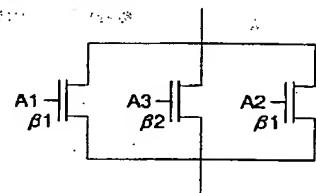
70

- \* 11, 81, 111, 201 柱状突起
- 12 ゲート酸化膜
- 21, 25, 51, 52, 61, 62, 63, 82, 83, 112, 202, 203 ゲート電極
- 22, 53 不純物拡散層
- 23, 87 素子分離用絶縁膜
- 24 PSG膜
- 25a, 112a 浮遊ゲート電極
- 25b, 26, 112b 容量絶縁膜
- 25c, 112c 制御ゲート電極
- 27 キャパシタ電極
- 31 パターン
- 32 シリコン窒化膜
- 41 埋め込み酸化膜
- 64 インバータ
- 71, 91, 115, 118, 122 多結晶シリコン膜
- 72, 74, 92, 94, 114, 120 溝部
- 73, 93 層間絶縁膜
- 75, 95, 116, 119 シリコン酸化膜
- 76, 96, 121 サイドウォール
- 84, 204 ソース
- 85, 205 ドレイン
- 86 配線膜
- 101, 102 キャップ絶縁膜
- 117, 206 フォトマスク
- 301 記憶媒体
- 302 記憶再生装置

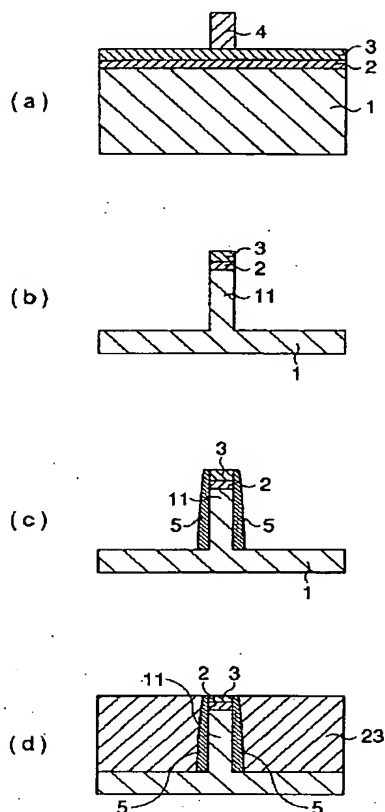
【図1】



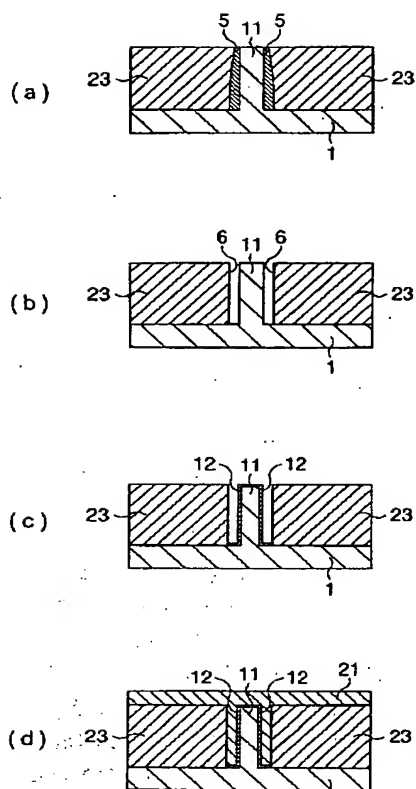
【図20】



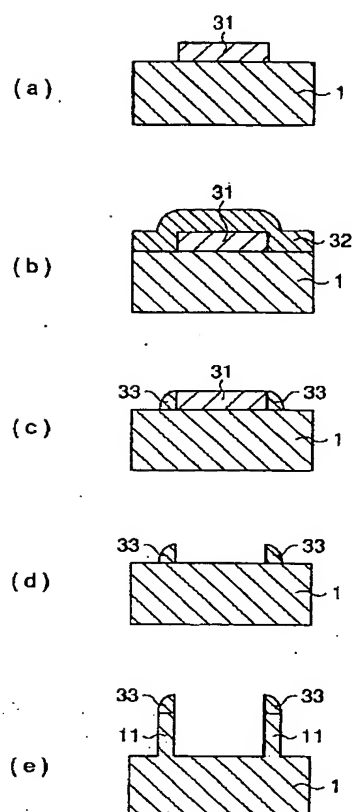
【図 2】



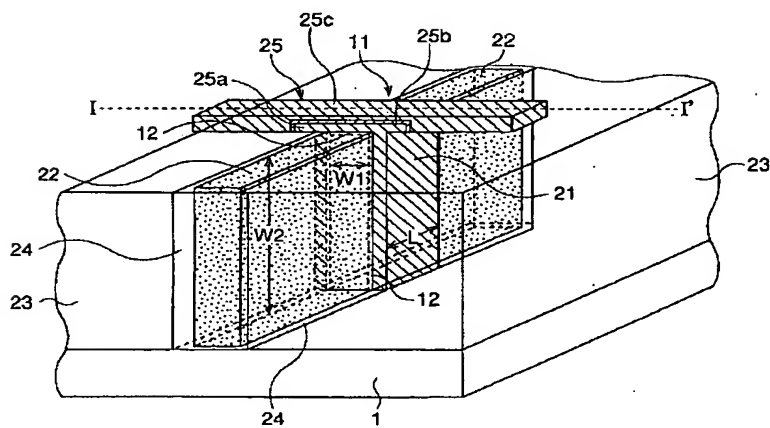
【図 3】



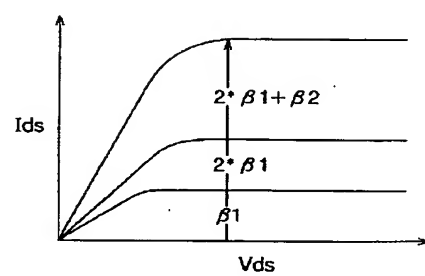
【図 4】



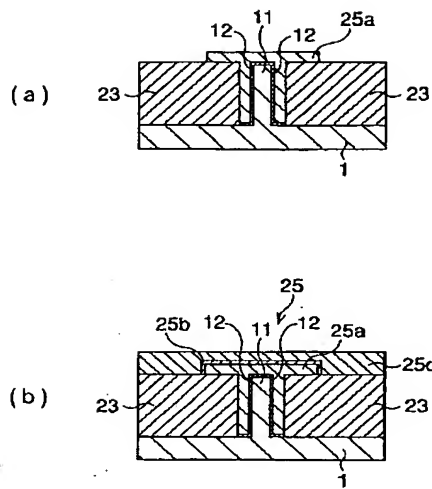
【図 5】



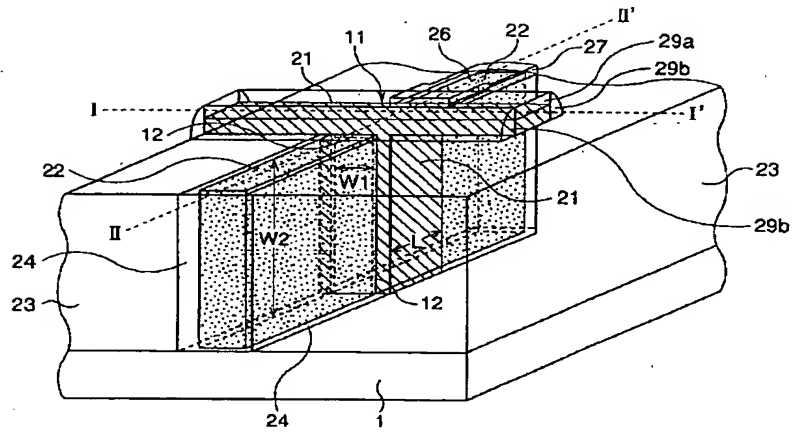
【図 2-1】



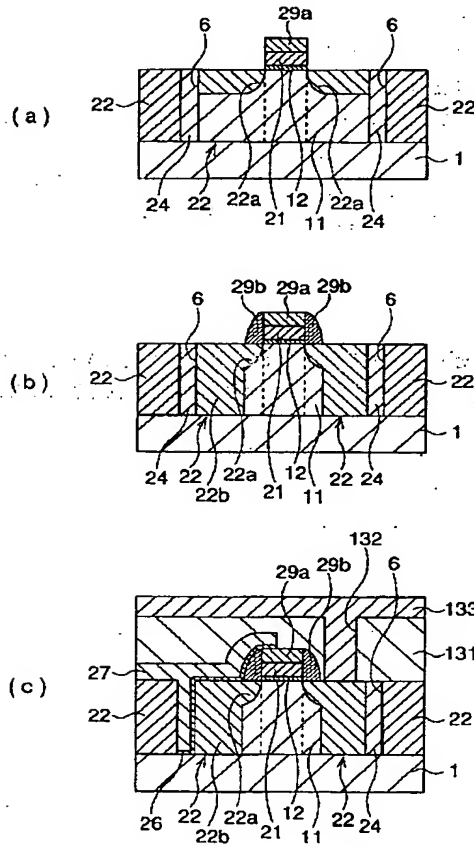
【図 6】



【図 7】

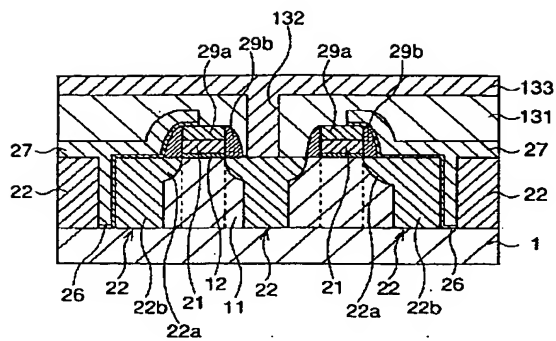


【図 8】

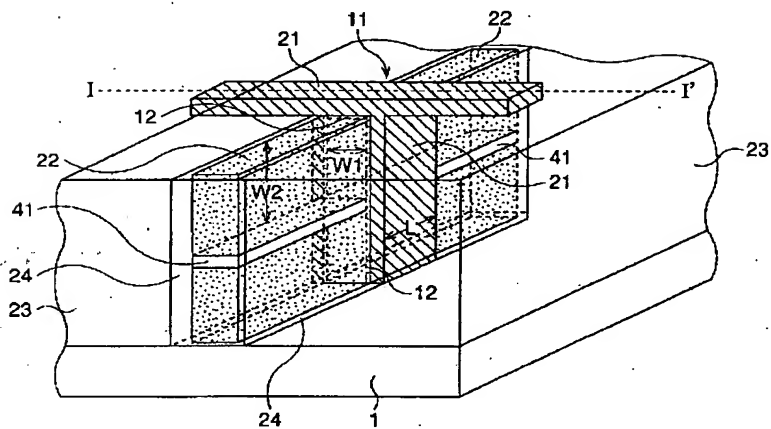




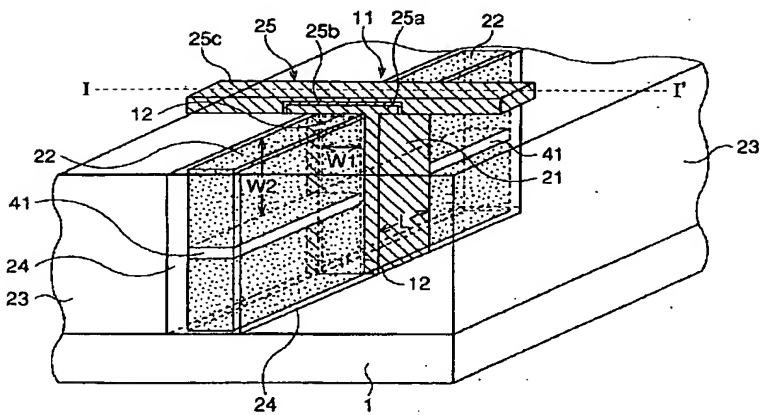
【図 9】



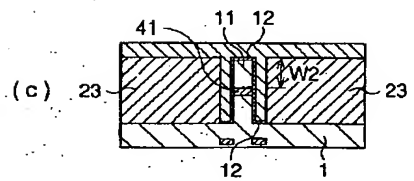
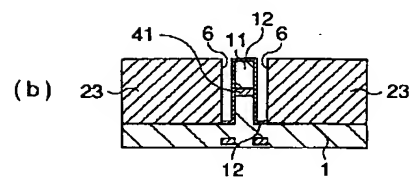
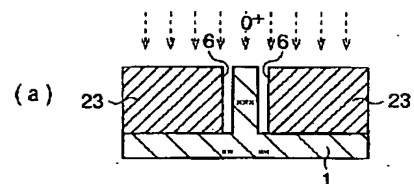
【図 10】



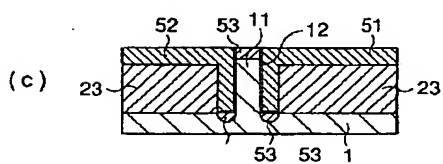
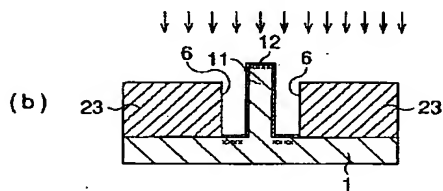
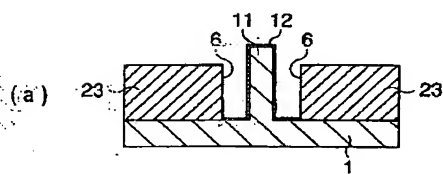
【図 12】



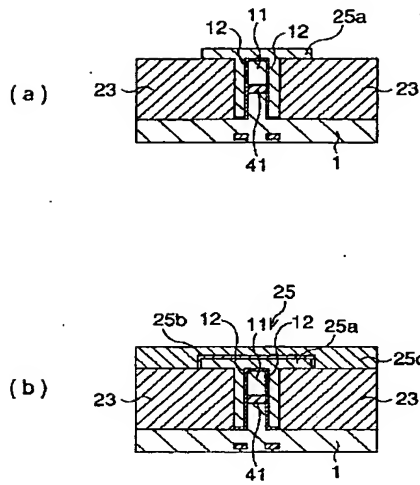
【図 11】



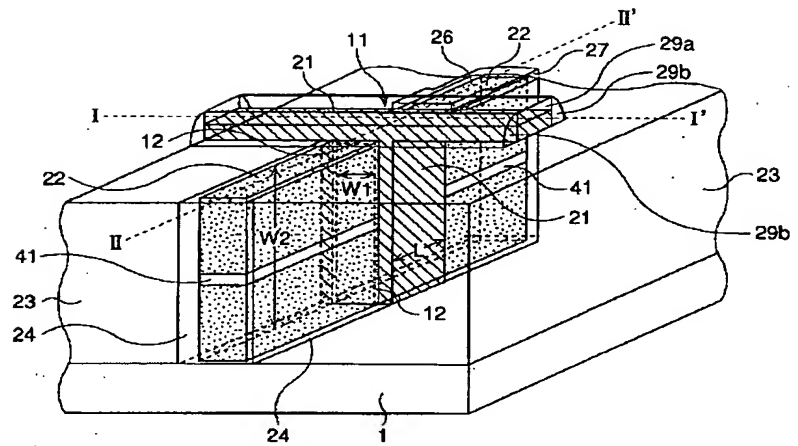
【図 17】



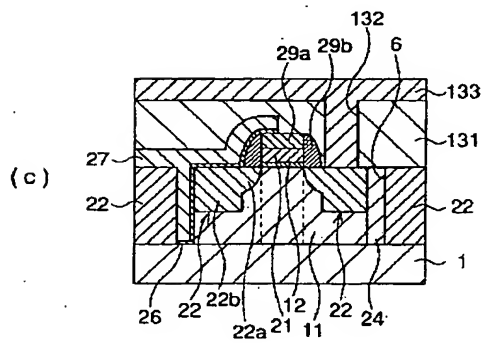
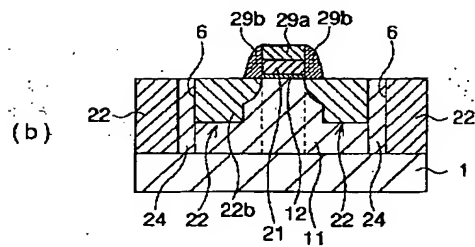
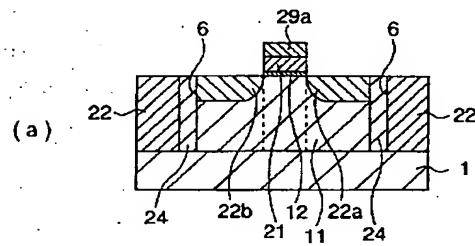
【図 13】



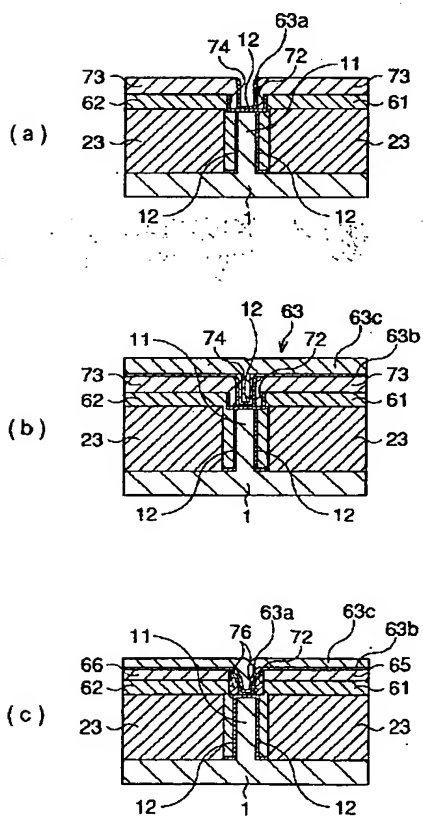
【図 14】



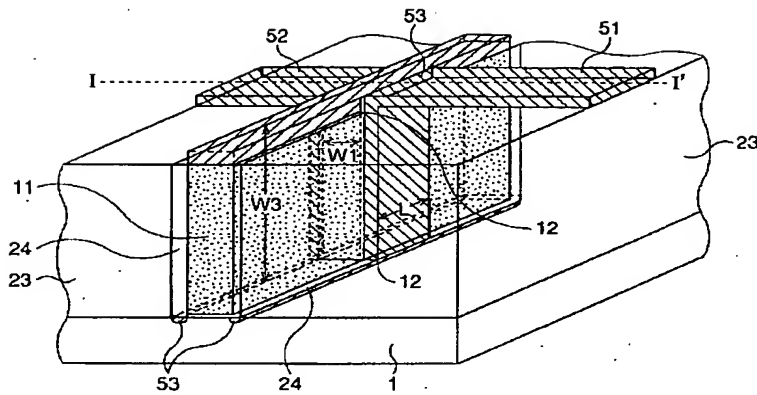
【図 15】



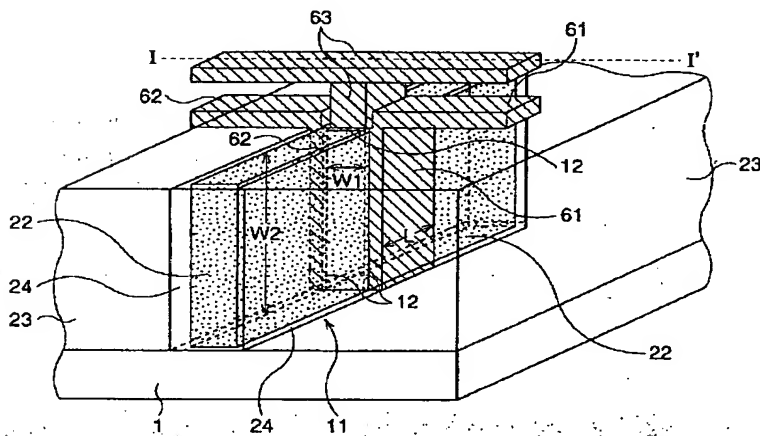
【図 26】



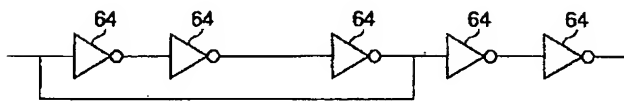
【図 1 6】



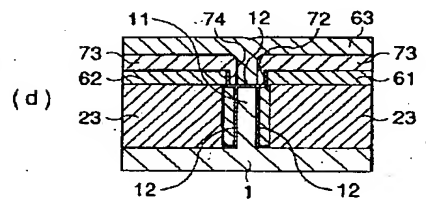
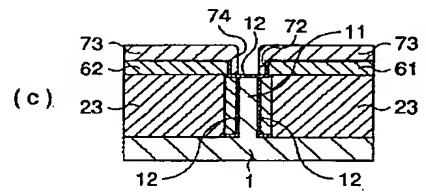
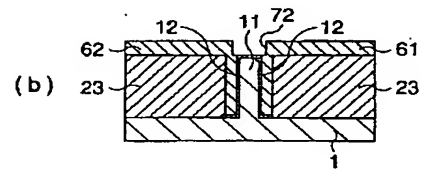
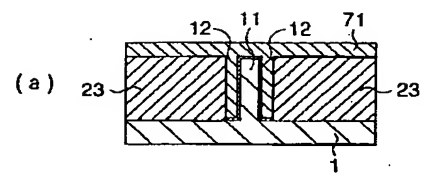
【図 1 8】



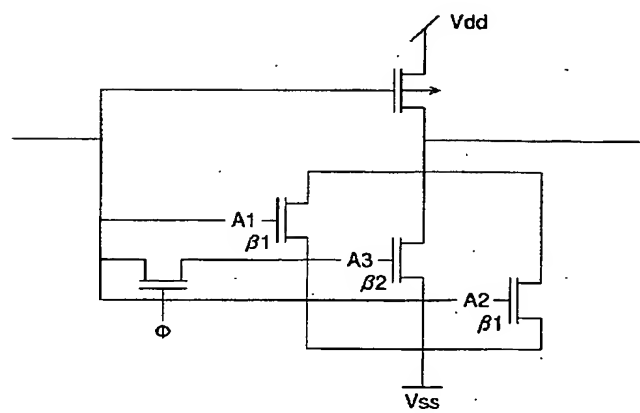
【図 2 2】



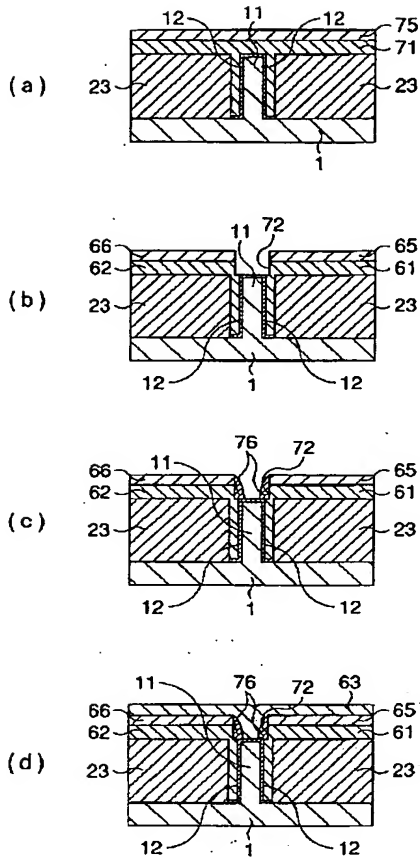
【図 1 9】



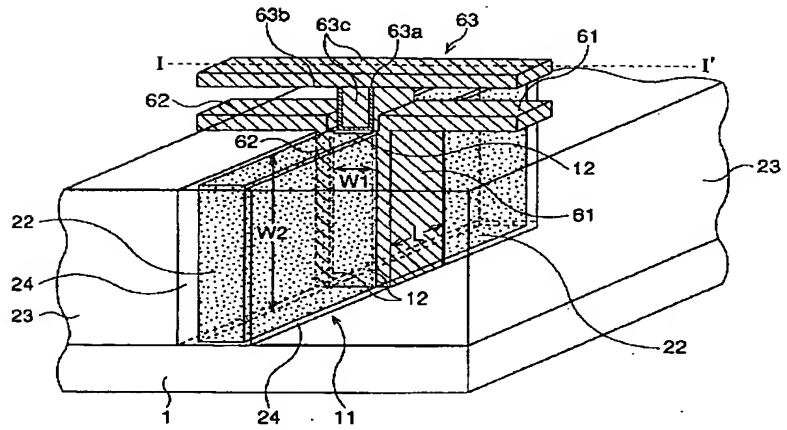
【図 2 3】



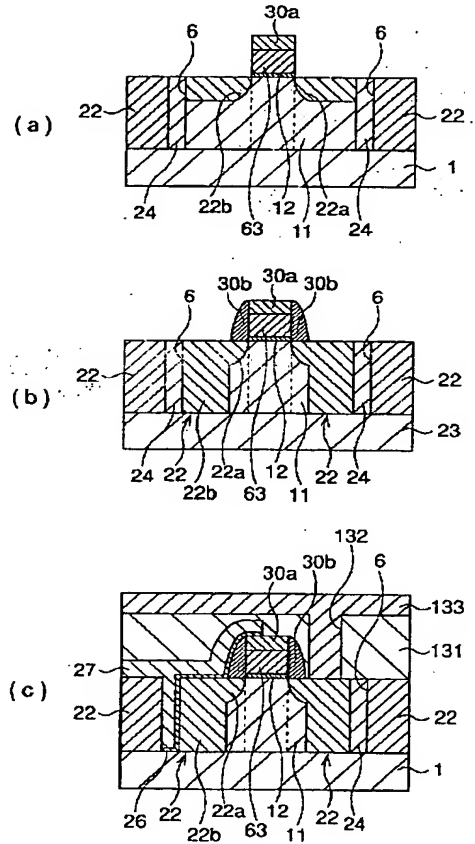
【図 2 4】



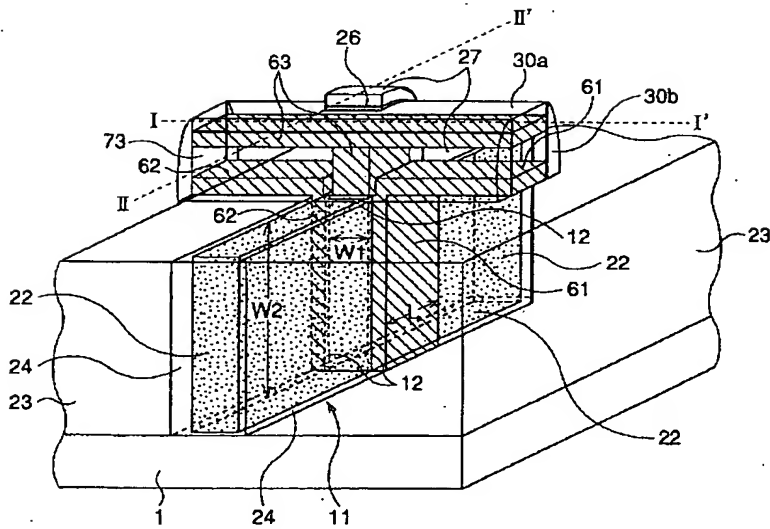
【図 2 5】



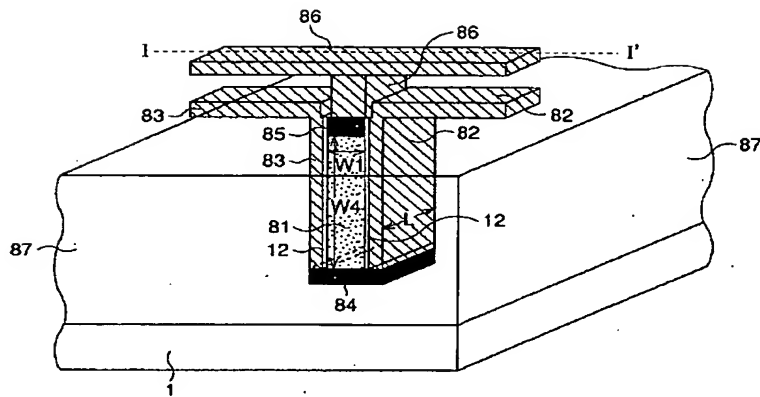
【図 2 8】



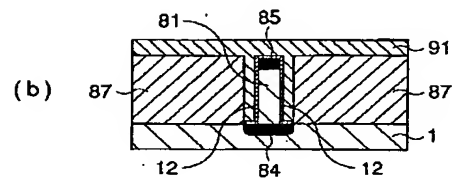
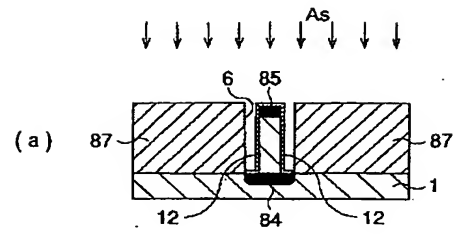
【図 2 7】



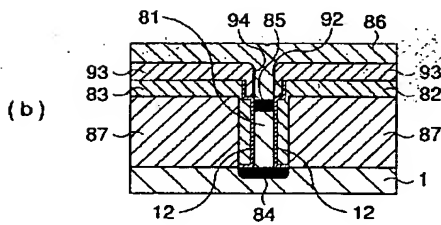
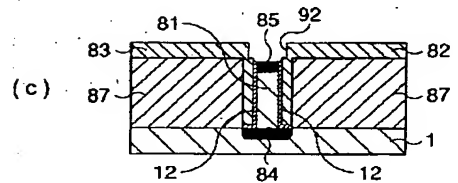
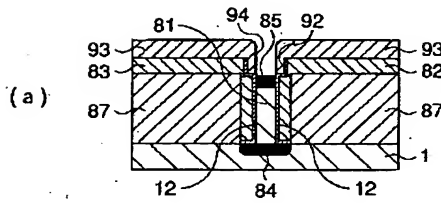
【図 29】



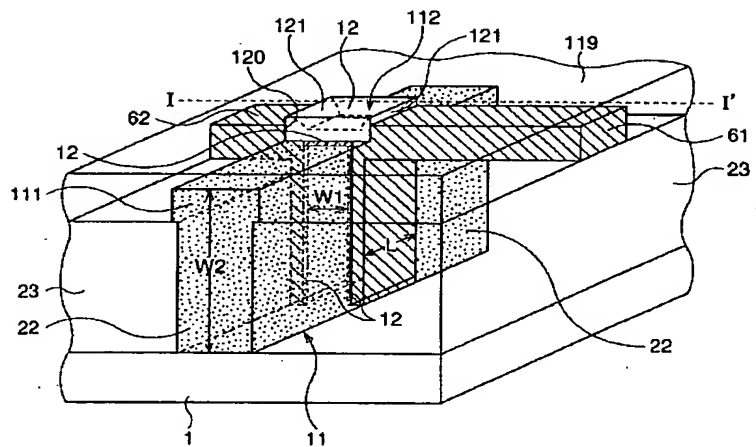
【図 30】



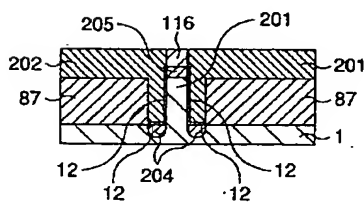
【図 31】



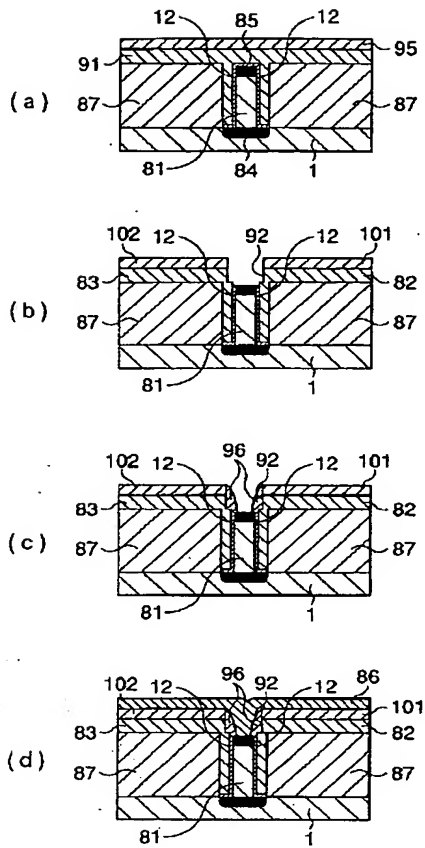
【図 33】



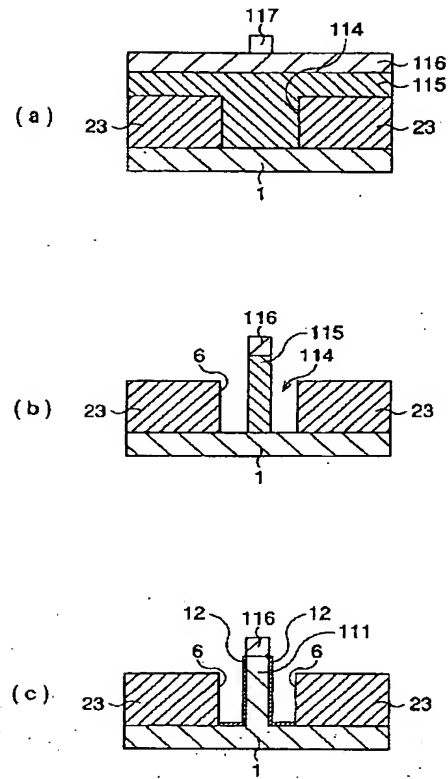
【図 43】



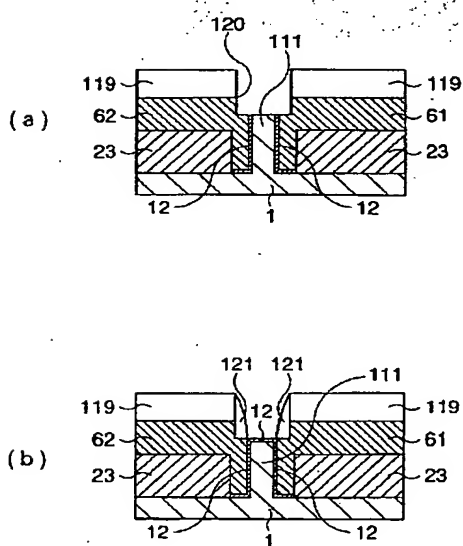
【図 3 2】



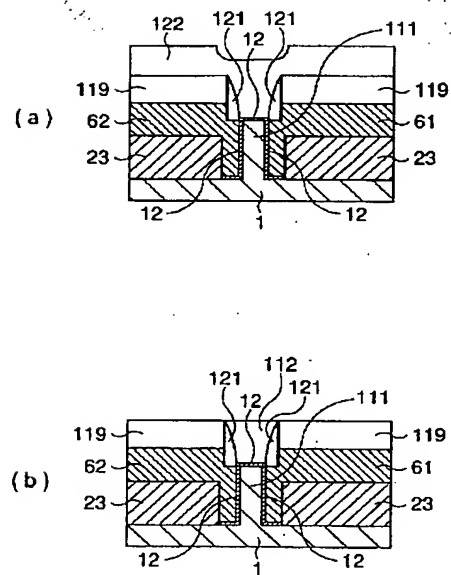
【図 3 4】



【図 3 6】

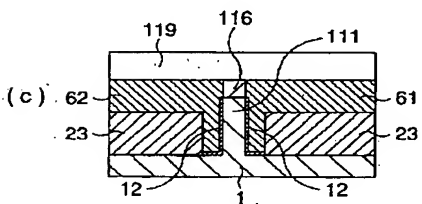
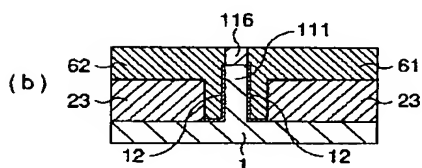
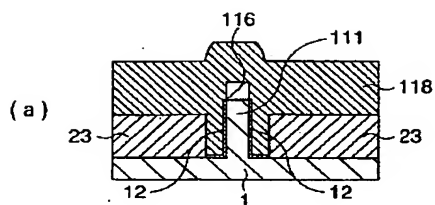


【図 3 7】

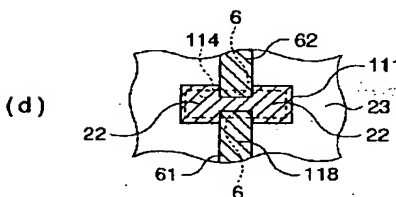
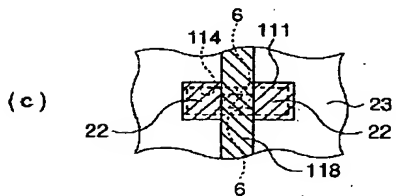
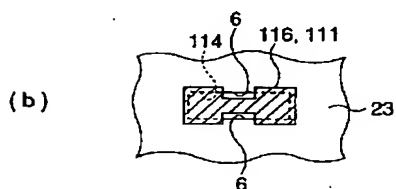
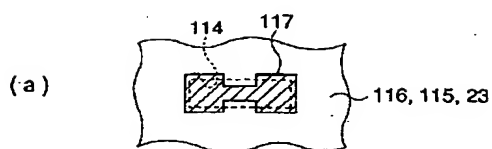




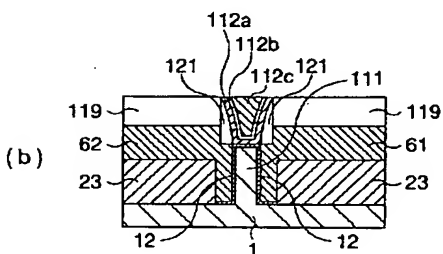
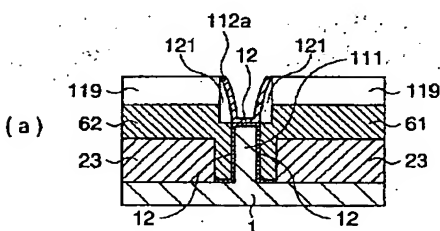
【図 3 5】



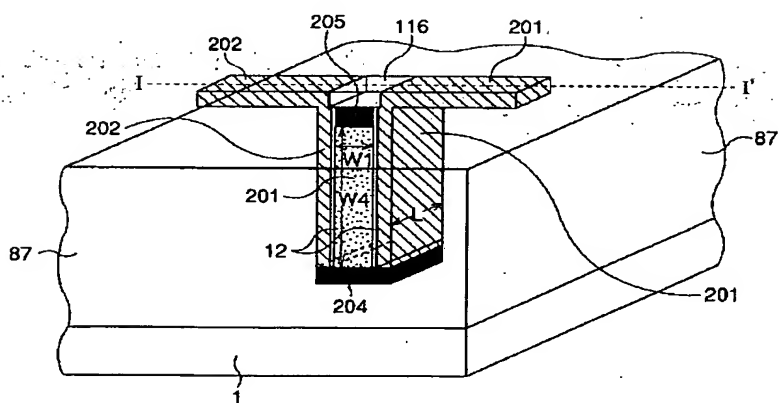
【図 3 8】



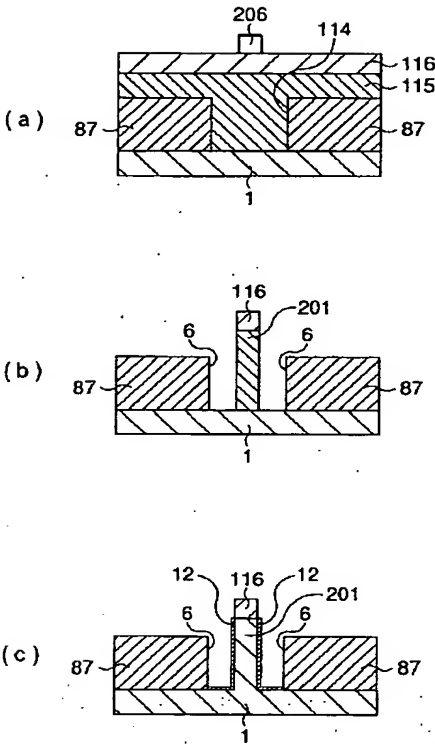
【図 3 9】



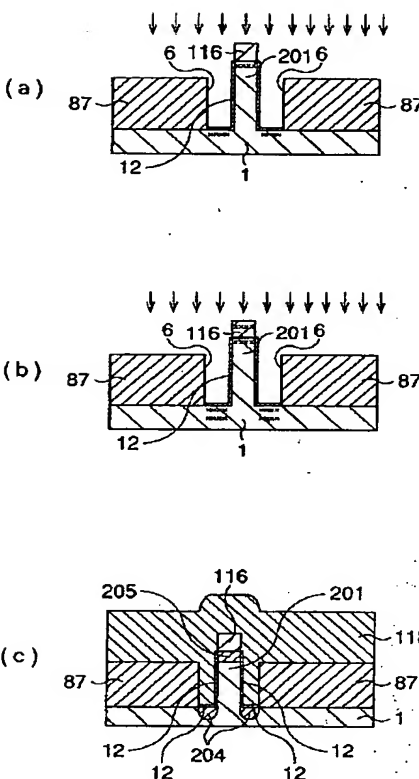
【図 4 0】



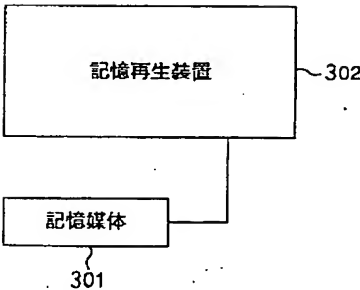
【図 4 1】



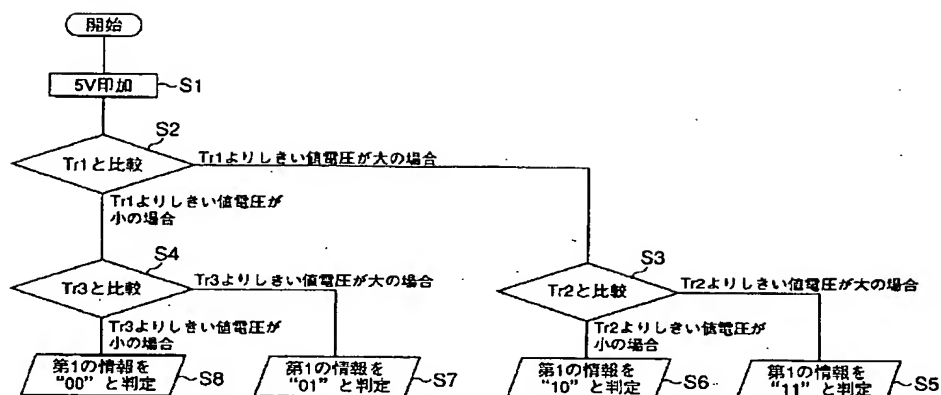
【図 4 2】



【図 4 4】



【図 45】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/788

29/792

識別記号

F I